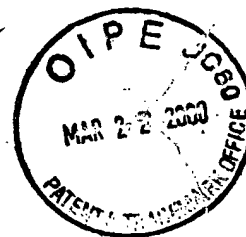


(19)



JAPANESE PATENT OFFICE

part #2



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 09297996 A

(43) Date of publication of application: 18.11.97

(51) Int. Cl

G11C 16/04

G11C 16/06

(21) Application number: 08110748

(71) Applicant: HITACHI LTD

(22) Date of filing: 01.05.96

(72) Inventor: KINO YUSUKE
KAWAHARA TAKAYUKI
KIMURA KATSUTAKA

RECEIVED
MAR 30 2000
Group 2700

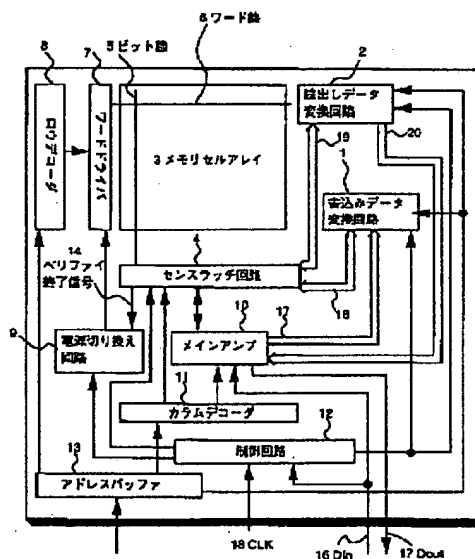
(54) NON-VOLATILE SEMICONDUCTOR MEMORY

(57) Abstract

PROBLEM TO BE SOLVED: To enable one non-volatile memory cell to store quarternary information.

SOLUTION: Writing operation is performed by applying different three kinds of voltage to a word line successively at the time of verifying operation, and threshold voltage of a memory cell is controlled. At the time, writing data of binary (1 bit) corresponding to information of quarternary (2 bits) to be written are synthesized by a writing data conversion circuit (1) every three writing operations, information of quarternary (2 bits) is written in one memory cell, thereby doubling storage capacity of a flash memory. In reading out information, different three kinds of voltage is applied to a word line, read out three kinds of information of binary (1 bit) are synthesized by a read-out conversion circuit (2), and storage information of a memory cell is converted to information of two bits.

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-297996

(43) 公開日 平成9年 (1997) 11月18日

(51) Int. Cl. ⁶G 1 1 C 16/04
16/06

識別記号

庁内整理番号

F I

G 1 1 C 17/00 3 0 8
5 1 0 A

技術表示箇所

審査請求 未請求 請求項の数 7 O L (全 31 頁)

(21) 出願番号 特願平8-110748

(22) 出願日 平成8年 (1996) 5月1日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 城野 雄介

東京都小平市上水本町5丁目20番1号 株式
会社日立製作所半導体事業部内

(72) 発明者 河原 尊之

東京都国分寺市東恋ヶ窪1丁目280番地 株
式会社日立製作所中央研究所内

(72) 発明者 木村 勝高

東京都国分寺市東恋ヶ窪1丁目280番地 株
式会社日立製作所中央研究所内

(74) 代理人 弁理士 玉村 静世

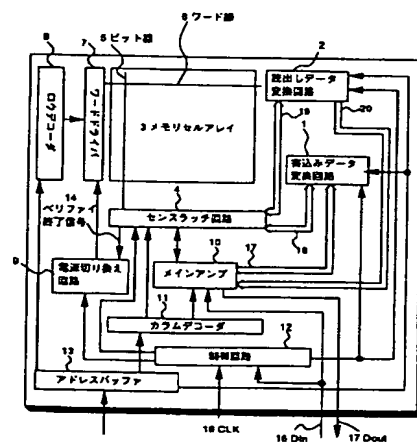
(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】 一つの不揮発性メモリセルに4値の情報を記憶可能にする。

【解決手段】 ベリファイ動作時に異なる3種類の電圧を順次ワード線に印加して書き込み動作を行い、メモリセルのしきい値電圧を制御し、このとき、3回の書き込み動作1回毎に、書き込む4値 (2ビット) の情報に対応した2値 (1ビット) の書き込みデータを書込みデータ変換回路 (1) で合成して、一つのメモリセルに4値 (2ビット) の情報を書込む。これにより、フラッシュメモリの記憶容量が倍増する。情報読み出しでは、異なる3種類の電圧をワード線に印加して読出された3種類の2値 (1ビット) の情報を読出し変換回路 (2) で合成して、メモリセルの記憶情報を2ビットの情報に変換する。

【図1】 フラッシュメモリのブロック図



【特許請求の範囲】

【請求項1】 電氣的に消去及び書込みが可能な不揮発性メモリセルを、それぞれ閾値電圧の異なる消去状態、第1書込み状態、第2の書込み状態、又は第3の書込み状態に制御して、一つのメモリセルに4値の情報を記憶可能にする不揮発性半導体記憶装置であって、

前記不揮発性メモリセルのデータ書き換えにおいて、前記不揮発性メモリセルを消去状態とし、消去状態にされた不揮発性メモリセルを選択的に第1の書込み状態とする第1の書込み、第1の書込みの後に当該不揮発性メモリセルを選択的に第2の書込み状態とする第2の書込み、及び第2の書込みの後に当該不揮発性メモリセルを選択的に第3の書込み状態とする第3の書込み、の各動作を制御する書込み制御手段と、

前記第1の書込み動作によって不揮発性メモリセルを第1の書込み状態にするか否かを決定する1ビットの書込み情報、前記第2の書込み動作によって不揮発性メモリセルを第2の書込み状態にするか否かを決定する1ビットの書込み情報、前記第3の書込み動作によって不揮発性メモリセルを第3の書込み状態にするか否かを決定する1ビットの書込み情報を、外部から与えられる2ビットの書込みデータから生成する書込みデータ変換回路と、

前記書込み制御手段による第1乃至第3の書込み動作毎に、前記書込みデータ変換回路で生成された対応される書込み情報をラッチして、第1乃至第3の書込み動作毎にメモリセルを対応される書込み状態にするか否かを選択させるデータラッチ手段と、を備えて成るものであることを特徴とする不揮発性半導体記憶装置。

【請求項2】 前記不揮発性メモリセルからのデータ読出しにおいて、前記不揮発性メモリセルの消去状態の閾値電圧と前記第1の書込み状態の閾値電圧との間のワード線選択レベルによってメモリセルを選択する第1の読出し、前記不揮発性メモリセルの第1の書込み状態の閾値電圧と前記第2の書込み状態の閾値電圧との間のワード線選択レベルによってメモリセルを選択する第2の読出し、前記不揮発性メモリセルの第2の書込み状態の閾値電圧と前記第3の書込み状態の閾値電圧との間のワード線選択レベルによってメモリセルを選択する第3の読出し、の各動作を制御する読出し制御手段と、

前記読出し制御手段による第1乃至第3の読出し動作によって得られた各1ビットの情報から、読出し対象とされたメモリセルの状態が消去状態、第1の書込み状態、第2の書込み状態又は第3の書込み状態の何れに対応されるかを示す2ビットの読出しデータを生成する読出しデータ変換回路と、を備えて成るものであることを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項3】 消去状態、第1書込み状態、第2の書込み状態、及び第3の書込み状態における不揮発性メモリセルの夫々の閾値電圧を、高いものから順に V_{th0} 、

V_{th1} 、 V_{th2} 、 V_{th3} 、としたとき、第1乃至第3の書込み動作における書込みベリファイ電圧 V_v1 、 V_v2 、 V_v3 を、 $V_{th1} < V_v1 < V_{th0}$ 、 $V_{th2} < V_v2 < V_{th1}$ 、 $V_{th3} < V_v3 < V_{th2}$ 、とし、

前記第1乃至第3の読出しにおけるワード線選択レベル V_{r1} 、 V_{r2} 、 V_{r3} を、 $V_{th1} < V_{r1} < V_{th0}$ 、 $V_{th2} < V_{r2} < V_{th1}$ 、 $V_{th3} < V_{r3} < V_{th2}$ 、とすることを特徴とする請求項2記載の不揮発性半導体記憶装置。

【請求項4】 前記メモリセルはビット線に結合され、ビット線に記憶ノードが結合されたセンスラッチを供え、ビット線を選択的に入出力線に導通させるスイッチ素子を備え、前記データラッチ手段は、前記スイッチ素子によって選択されたビット線に導通されるセンスラッチであることを特徴とする請求項2記載の不揮発性半導体記憶装置。

【請求項5】 前記書込みデータ変換回路は、前記2ビットの書込みデータの第1の状態に応じて第1乃至第3の書込み動作における各書込み情報を書込み非選択レベルにし、前記2ビットの書込みデータの第2の状態に応じて第1の書込み動作における書込み情報を書込み選択レベルに第2及び第3の書込み動作における各書込み情報を書込み非選択レベルにし、前記2ビットの書込みデータの第3の状態に応じて第1及び第2の書込み動作における書込み情報を書込み選択レベルに第3の書込み動作における書込み情報を書込み非選択レベルにし、前記2ビットの書込みデータの第4の状態に応じて第1乃至第3の書込み動作における各書込み情報を書込み選択レベルにするものであることを特徴とする請求項2記載の不揮発性半導体記憶装置。

【請求項6】 前記読出しデータ変換回路は、前記第1乃至第3の読出し動作によって得られた3ビットの情報が全て第1の論理値のとき2ビットの読出しデータを第1の状態とし、前記第1の読出し動作によって得られた1ビットの情報が第2の論理値で第2及び第3の読出し動作によって得られた2ビットの情報が全て第1の論理値のとき2ビットの読出しデータを第2の状態とし、前記第1及び第2の読出し動作によって得られた2ビットの情報が第2の論理値で第3の読出し動作によって得られた2ビットの情報が第1の論理値のとき2ビットの読出しデータを第3の状態とし、前記第1乃至第3の読出し動作によって得られた2ビットの情報が全て第2の論理値のとき2ビットの読出しデータを第4の状態とするものであることを特徴とする請求項5記載の不揮発性半導体記憶装置。

【請求項7】 前記第1乃至第3の各書込み動作に応じて書込みベリファイ電圧を切り換える電源切換え回路を備えて成るものであることを特徴とする請求項6記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、不揮発性半導体記憶装置に係り、特に一つのメモリセルに4値の情報(2ビット分の情報)を記憶可能にして記憶容量を増大させた不揮発性半導体記憶装置に関し、例えばフラッシュメモリなどの電氣的書き換え可能な不揮発性半導体記憶装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】従来の、浮遊ゲート中に電子を注入することにより、情報を記憶させることができる不揮発性半導体記憶装置、例えばフラッシュメモリについては、1994シンポジウム オン ブイエルエスアイ サーキット ダイジェスト オブ テクニカル ペーパーズの第61~62頁(1994 Symposium on VLSI Circuits Digest of Technical Papers, pp61-62)などに記載されている。以下この従来のフラッシュメモリの(1)消去、(2)書込み、(3)書込みベリファイ、(4)読出しの各動作について説明する。

【0003】図35には、一つのメモリセルで2値の情報(1ビット分の情報)を記憶するフラッシュメモリの動作を説明するために、ワード線WLとビット線BLに接続されるメモリセルMCを示す要部回路が示されている。N9~N12はスイッチ動作をするNMOSトランジスタ(以下、単にNMOSスイッチと称する)を示す。また、メモリセルMC中の浮遊ゲート中に電子が注入され、メモリセルMCのしきい値電圧が高い状態(V_{th0})を消去された状態、つまり、書き込まれた情報が“0”の状態とし、逆に、浮遊ゲート中に電子が注入されておらず、メモリセルMCのしきい値電圧が低い状態(V_{th1})を書き込まれた状態、つまり、書き込まれた情報が“1”の状態とする。このようにメモリセルが2値の情報を保持する場合におけるメモリセルの閾値電圧分布が図36に例示されている。

【0004】(1)消去動作

この例では、消去動作はワード線毎に行われる。ワード線WLを例えば、12Vにし、メモリセルMCの基板電圧VWELとソース線に、例えば-4[V]を印加することにより消去が行なわれる。これにより、浮遊ゲートに電子が注入され、メモリセルMCのしきい値電圧が高くなり、消去された状態になる。

【0005】(2)書込み動作

書込み動作は、浮遊ゲート中の電子を引き抜き、メモリセルのしきい値電圧を低くする動作である。

【0006】まず初めに、メモリセルMCに書込みを行う場合には、入出力線IOをハイレベル(以下ハイレベルを‘High’とも記す)に、書込みを行わない場合にはローレベル(以下ローレベルをLow’とも記す)にし、センスラッチSLに‘High’または‘Lo

w’のデータをラッチさせる。

【0007】次に、センスラッチSLの動作電源電圧VSAを電源電圧VCCから例えば、4[V]に上げ、制御信号線PGをたち上げてNMOSスイッチN10をオンさせる。このとき、センスラッチSLに‘High’がラッチされていると、センスラッチSLのノードA側が‘High’であるから、NMOSスイッチN11がオンし、NMOSスイッチN10、N11を通してビット線BLが4Vにプリチャージされる。一方、センスラッチSLに‘Low’がラッチされていると、ノードAは‘Low’であるからNMOSスイッチN11はオフの状態であり、ビット線BLはプリチャージされず、ビット線は0[V]となる。この後、制御信号線PGの電圧を下げてNMOSスイッチN10をオフさせてから、制御信号線TRをたち上げてNMOSスイッチN12をオンさせて、ワード線WLを例えば、-9[V]にして、書込み動作を行う。このときソース線とメモリセルMCの基板電圧VWELは0[V]としておく。この後、制御信号線TRの電圧を下げてNMOSスイッチN10をオフにして、ワード線Wを0[V]にした後、制御信号線DDCをたち上げてNMOSスイッチN9をオンさせてビット線BLをディスチャージする。そして、制御信号線DDCの電圧を下げてNMOSスイッチN9をオフさせてから、次の書込みベリファイ動作を行なう。

【0008】(3)書込みベリファイ動作

書込みベリファイ動作はまず、電圧VSAを例えば、1[V]として、制御信号線PGをたち上げ、NMOSスイッチN10をオンさせる。このとき、項目(2)の書込み動作で記したように、センスラッチSLに‘High’がラッチされているとNMOSスイッチN11がオンし、ビット線BLは1[V]にプリチャージされ、‘Low’がラッチされているとNMOSスイッチN11はオフであるからビット線BLはプリチャージされない。次に、制御信号線PGの電圧を下げてNMOSスイッチN10をオフさせ、ワード線WLを例えば、1.5[V]、ソース線とメモリセルMCの基板電圧VWELを0[V]とすると、項目(2)の書込み動作によって、メモリセルMCのしきい値電圧が低い状態になっている場合はメモリセルMCがオンし、ビット線BLからソース線側に電流が流れ、ビット線BLの電位が下がる。一方、項目(2)の書込み動作でメモリセルMCのしきい値電圧が低い状態になっていない場合はメモリセルMCはオンせず、ビット線BLの電位は下がらない。ワード線の電圧を0[V]に戻してから、制御信号線TRをたち上げてNMOSスイッチN12をオンさせる。このとき、ビット線BLの電位が下がっていると、ノードAの電位も下がり、センスラッチSLにラッチされた‘High’は‘Low’に反転するが、ビット線BLの電位が下がっていない場合は、ノードAの電位は下がり、センスラッチSLにラッチされた‘High’は

‘High’のまま反転しない。

【0009】メモリセルMCに対して(2)の書き込み動作が行われ、メモリセルMCのしきい値電圧が低く

(“1”が書込まれた状態)になると、書き込みベリファイ動作により、センスラッチSLにラッチされた‘High’が‘Low’に反転し、書き込み動作が終了したと判定される。これに対し、(2)の書き込み動作により、メモリセルMCのしきい値電圧が高い場合(“0”が書込まれた状態)は、センスラッチSLが‘High’から‘Low’に反転するまで、項目(2)と(3)の動作が繰り返される。

【0010】(4)読出し動作

まず、制御信号線DDCをたち上げてNMOSスイッチN9をオンさせて、ビット線BLをディスチャージする。次に電圧VSAを例えば、1[V]にし、制御信号線SETを立ち上げてNMOSスイッチN13をオンさせて、センスラッチ回路SLのノードA側を1[V]にし、制御信号線TRをたち上げてNMOSスイッチN12をオンさせて、ビット線BLを1[V]にプリチャージする。制御信号線TRの電圧を下げてNMOSスイッチN12をオフにし、SET線の電圧を下げて、NMOSスイッチN13をオフにしてから、基板電圧VWELとソース線の電圧を例えば、0[V]にして、ワード線WLを電源電圧VCCにする。メモリセルMCのしきい値電圧が低い場合は、メモリセルMCがオンし、ビット線BLからソース線側に電流が流れてビット線BLの電位が下がる。メモリセルMCのしきい値電圧が高い場合は、メモリセルMCはオンせず、ビット線BLの電位は下らない。次に、ワード線WLの電圧を0[V]にしてから、制御信号線TRをたち上げNMOSスイッチN12をオンさせる。この時、メモリセルMCがオンした場合はビット線BLの電位が低くなっているためノードAの電位も低くなる。一方、メモリセルMCがオンしなかった場合はビット線BLの電位は下らないので、ノードAの電位も下らない。こうして、メモリセルMCに記憶された情報、即ちそのしきい値電圧が低い

(“1”が書込まれた状態)か、高い(“0”が書込まれた状態)かに応じた情報が読出される。

【0011】

【発明が解決しようとする課題】不揮発性半導体記憶装置に対しては大容量化と共に小面積化が望まれているが、上で述べた様に、一つのメモリセルに1ビットの情報しか記憶させることができない場合には、さらなる大容量化を図るためにはメモリセルアレイを増加させなければならなくなる。このため、そのような不揮発性半導体記憶装置は、大容量化を進めると、半導体集積回路の技術分野における微細加工技術の進歩にもかかわらず、チップ面積は増加せざるを得なくなる。

【0012】本発明は不揮発性半導体記憶装置の一つのメモリセルに4値(2ビット分)の情報を記憶可能にす

ることを目的とする。本発明の別の目的は、不揮発性半導体記憶装置の大容量化を図ると共に、大容量化に伴うチップ面積の増加を小さくすることを目的とする。

【0013】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0014】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0015】先ず概略的には、ベリファイ動作時に異なる3種類の電圧を順次ワード線に印加して書き込み動作を行い、メモリセルのしきい値電圧を制御し、このとき、3回の書き込み動作1回毎に、書込む4値(2ビット)の情報に対応した2値(1ビット)の書き込みデータを書込みデータ変換回路(1)で合成して、一つのメモリセルに4値(2ビット)の情報を書込む。記憶情報の情報読み出しでは、異なる3種類の電圧をワード線に印加して読出された3種類の2値(1ビット)の情報を読出し変換回路(2)で合成して、メモリセルの記憶情報を2ビットの情報に変換する。

【0016】更に詳しくは、電気的に消去及び書き込みが可能な不揮発性メモリセル(MC)を、それぞれ閾値電圧の異なる消去状態、第1書き込み状態、第2の書き込み状態、又は第3の書き込み状態に制御して、一つのメモリセルに4値の情報を記憶可能にする不揮発性半導体記憶装置は、前記不揮発性メモリセルのデータ書き換えに当たり、前記不揮発性メモリセルを消去状態とし、消去状態にされた不揮発性メモリセルを選択的に第1の書き込み状態とする第1の書き込み(「書き込み1」)、第1の書き込みの後に当該不揮発性メモリセルを選択的に第2の書き込み状態とする第2の書き込み(「書き込み2」)、及び第2の書き込みの後に当該不揮発性メモリセルを選択的に第3の書き込み状態とする第3の書き込み(「書き込み3」)、の各動作を制御する書き込み制御手段(12)を備え、前記第1の書き込み動作によって不揮発性メモリセルを第1の書き込み状態にするか否かを決定する1ビットの書き込み情報、前記第2の書き込み動作によって不揮発性メモリセルを第2の書き込み状態にするか否かを決定する1ビットの書き込み情報、前記第3の書き込み動作によって不揮発性メモリセルを第3の書き込み状態にするか否かを決定する1ビットの書き込み情報を、外部から与えられる2ビットの書き込みデータから生成する書き込みデータ変換回路(1)を有する。そして、前記書き込み制御手段による第1乃至第3の書き込み動作毎に、前記書き込みデータ変換回路で生成された対応される書き込み情報をラッチして、第1乃至第3の書き込み動作毎にメモリセルに対応される書き込み状態にするか否かを選択させるデータラッチ手段(センスラッチSL)を備える。

【0017】前記メモリセルはビット線に結合され、ビ

ット線に記憶ノードが結合されたセンスラッチを供え、ビット線を選択的に入出力線に導通させるスイッチ素子を備えるとき、前記データラッチ手段は、前記スイッチ素子によって選択されたビット線に導通されるセンスラッチ (SL) とすることができる。

【0018】消去状態、第1書き込み状態、第2の書き込み状態、及び第3の書き込み状態における不揮発性メモリセルの夫々の閾値電圧を、高いものから順に V_{th0} 、 V_{th1} 、 V_{th2} 、 V_{th3} 、としたとき、第1乃至第3の書き込み動作における書き込みベリファイ電圧 V_{v1} 、 V_{v2} 、 V_{v3} はそれぞれ相違され、 $V_{th1} < V_{v1} < V_{th0}$ 、 $V_{th2} < V_{v2} < V_{th1}$ 、 $V_{th3} < V_{v3} < V_{th2}$ とすることができる。

【0019】前記不揮発性メモリセルの消去状態、第1の書き込み状態、第2の書き込み状態、第3の書き込み状態を例えばそれぞれ2ビットの書き込みデータの "00"、"01"、"10"、"11" の状態に対応されるものとする、前記書き込みデータ変換回路は、前記2ビットの書き込みデータの第1の状態 ("00") に応じて第1乃至第3の書き込み動作における各書き込み情報を書込み非選択レベル ("0") にし、前記2ビットの書き込みデータの第2の状態 ("01") に応じて第1の書き込み動作における書き込み情報を書込み選択レベル ("1") に第2及び第3の書き込み動作における各書き込み情報を書込み非選択レベル ("0") にし、前記2ビットの書き込みデータの第3の状態に於て第1及び第2の書き込み動作における書き込み情報を書込み選択レベル ("1") に第3の書き込み動作における書き込み情報を書込み非選択レベル ("0") にし、前記2ビットの書き込みデータの第4の状態に於て第1乃至第3の書き込み動作における各書き込み情報を書込み選択レベル ("1") にする。

【0020】このように、書き込みベリファイ電圧を3種類に分けて書き込み動作を行って、メモリセルのしきい値電圧を制御し、これらの3回の書き込み動作1回毎に、書き込む4値 (2ビット) の情報に対応した2値 (1ビット) の書き込みデータを生成することにより、一つのメモリセルに4値 (2ビット) の情報を書き込むことができる。したがって、不揮発性半導体記憶装置の記憶容量を2倍にすることができる。

【0021】不揮発性半導体記憶装置は、上記のようにして記憶された4値 (2ビット) の情報を2値 (1ビット) の情報として外部に読出し可能にするために、前記不揮発性メモリセルからのデータ読出しに当たり、前記不揮発性メモリセルの消去状態の閾値電圧と前記第1の書き込み状態の閾値電圧との間のワード線選択レベルによってメモリセルを選択する第1の読出し、前記不揮発性メモリセルの第1の書き込み状態の閾値電圧と前記第2の書き込み状態の閾値電圧との間のワード線選択レベルによってメモリセルを選択する第2の読出し、前記不揮発性メモリセルの第2の書き込み状態の閾値電圧と前記第3の

書き込み状態の閾値電圧との間のワード線選択レベルによってメモリセルを選択する第1の読出し、の各動作を制御する読出し制御手段 (12) と、前記読出し制御手段による第1乃至第3の読出し動作によって得られた各1ビットの情報から、読出し対象とされたメモリセルの状態が消去状態、第1の書き込み状態、第2の書き込み状態又は第3の書き込み状態の何れに対応されるかを示す2ビットの読出しデータを生成する読出しデータ変換回路 (2) とを備える。

10 【0022】前記消去状態、第1書き込み状態、第2の書き込み状態、及び第3の書き込み状態における不揮発性メモリセルの夫々の閾値電圧を、高いものから順に V_{th0} 、 V_{th1} 、 V_{th2} 、 V_{th3} 、としたとき、前記第1乃至第3の読出しにおけるワード線選択レベル V_{r1} 、 V_{r2} 、 V_{r3} は、 $V_{th1} < V_{r1} < V_{th0}$ 、 $V_{th2} < V_{r2} < V_{th1}$ 、 $V_{th3} < V_{r3} < V_{th2}$ 、とすることができる。

【0023】前記不揮発性メモリセルの消去状態、第1の書き込み状態、第2の書き込み状態、第3の書き込み状態を例えばそれぞれ2ビットの書き込みデータの "00"、"01"、"10"、"11" の状態に対応されるものとする、前記読出しデータ変換回路は、前記第1乃至第3の読出し動作によって得られた3ビットの情報が全て第1の論理値 ("0") のとき2ビットの読出しデータを第1の状態 ("00") とし、前記第1の読出し動作によって得られた1ビットの情報が第2の論理値 ("1") で第2及び第3の読出し動作によって得られた2ビットの情報が全て第1の論理値 ("0") のとき2ビットの読出しデータを第2の状態 ("01") とし、前記第1及び第2の読出し動作によって得られた2ビットの情報が第2の論理値 ("1") で第3の読出し動作によって得られた2ビットの情報が第1の論理値 ("0") のとき2ビットの読出しデータを第3の状態 ("10") とし、前記第1乃至第3の読出し動作によって得られた2ビットの情報が全て第2の論理値 ("1") のとき2ビットの読出しデータを第4の状態 ("11") として出力する。

【0024】このように、読出し動作時にワード線に印加するワード線選択レベルとしての電圧を3種類設定し、3回の読出し動作でメモリセルから読み出される2値 (1ビット) のデータを読出しデータ変換回路2に与え、これによって、読出し変換回路は、メモリセルの記憶情報を、2ビットのデータ列に変換して出力することができる。

【0025】

【発明の実施の形態】図1には本発明の第1の実施形態に係るところの、一つのメモリセルに2ビットの情報を書き込むことができ、かつその情報を読み出すことができるフラッシュメモリの全体的な構成が示されている。

50 【0026】メモリセルアレイ3は、フローティングゲ

ートとコントロールゲートを備えた多数のメモリセルを有し、メモリセルのコントロールゲートはワード線6に、メモリセルのドレインはビット線5に、メモリセルのソースは図示しないソース線に接続される。ワード線6及びビット線5は代表的にそれぞれ1本ずつ示されている。ワードドライバ7はロウデコーダ8から出力される選択信号に基づいてワード線を駆動する。ビット線5の一端側にはセンスラッチ回路4が設けられ、また、ビット線5はカラムデコーダ11から出力される選択信号に基づいてカラムスイッチ回路で選択され、選択されたビット線がメインアンプ10に導通される。図1においてカラムスイッチ回路はセンスラッチ回路4に含まれているものと理解されたい。カラムデコーダ11及びロウデコーダ8にはアドレスバッファ13からアドレス信号が供給される。消去、書込み、読み出しなどの動作モードに応じて必要とされるワードドライバ7等の動作電圧の切換えは電源切換え回路9によって行われる。制御回路12は図示しないアクセス制御信号やクロック信号18を外部から受け、これに従ってメモリセルの書込み制御や読出し制御のためにフラッシュメモリの内部回路を全体的に制御する。フラッシュメモリの動作モードは、特に制限されないが、外部から制御回路12に供給されるアクセス制御信号又はデータバスなどを介して制御回路12に供給されるコマンドデータによって指示され、データの書き換え（消去及び書き込み）やデータの読出しモードを有する。

【0027】図1に示されるフラッシュメモリが実現しようとする情報記憶技術において、一つのメモリセルの情報記憶状態は、消去状態、第1の書込み状態、第2の書込み状態、第3の書込み状態の中から選ばれた一つの状態とされる。全部で4通りの情報記憶状態は、2ビットのデータによって決定される状態とされる。即ち、2ビットのデータを一つのメモリセルで記憶する。そのために、書込み動作時にワード線に印加する書込みベリファイ電圧を相互に異なる3種類設定し、これらを順次切り替えて、3回に分けて書込み動作を行い、これら各書込み動作において、書込みを行うメモリセルに接続されたセンスラッチ（センスラッチ回路4に含まれるセンスラッチ）に保持させる2値（1ビット）の書込みデータ“0”または“1”（‘Low’または‘High’）を、前記3回に分けた書込み動作の各書込み動作毎に制御する、書込みデータ変換回路1を設け、一つのメモリセルに4値（2ビット）の情報を書込むことを特長とする。また、読出し動作時にワード線に印加するワード線選択レベルとしての電圧を3種類設定し、3回の読出し動作でメモリセルから読み出される2値（1ビット）のデータをセンスラッチ回路4を介して取り込み、3回の読出し動作終了後に4値（2ビット）の情報に変換する読み出しデータ変換回路2を備えることを特徴としている。

【0028】図1を用いて、書込み動作及び読み出し動作についての概要をまず述べる。

【0029】書込み動作は書き込む2値（1ビット）のデータ列をDin16からメインアンプ10で増幅して書込みデータ変換回路1へ信号線17を通して送る。この書込みデータ変換回路1は、書き込む2値（1ビット）のデータ列を、例えば奇数ビット、偶数ビットに分離してメモリセルアレイ3中の非選択のメモリセルに接続されるセンスラッチ（非選択センスラッチと言う）に信号線18を通して転送し、一時的にラッチさせる。そのような非選択センスラッチはデータバッファとして兼用される。そして、書込みデータ変換回路1は、「書込み1（第1の書込み状態を得るための書込み動作）」、「書込み2（第2の書込み状態を得るための書込み動作）」、「書込み3（第3の書込み状態を得るための書込み動作）」の各動作毎に、非選択センスラッチが保持しているデータを信号線18を通して取り込み、それを、「書込み1」、「書込み2」、「書込み3」に応じて、選択されたメモリセルに書き込む4値（2ビット）のデータに対応した2値（1ビット）のデータ“0”または“1”（‘Low’または‘High’）に変換し、変換したデータを信号線18を通して、選択されたメモリセルに接続されたセンスラッチ回路4中のセンスラッチ（選択センスラッチと言う）に転送し、これにラッチされた2値データに従って、前記「書込み1」、「書込み2」、「書込み3」の各書込み動作が行われる。

【0030】こうして、奇数ビット、偶数ビットに分けられた2値のデータを、非選択となるメモリセルのセンスラッチに一時的に保持させて、ベリファイ電圧の異なる3回の書込み動作（「書込み1」～「書込み3」）毎に、書込み変換回路1を用いて2値（1ビット）の書込みデータを合成し、ベリファイ電圧がそれぞれ異なる書込み動作を行うことによって、一つのメモリセルに4値（2ビット）の情報を書き込むことができる。

【0031】読出し動作では、異なる3種類の電圧が順番にワード線6に印加され、各3回の読み出し動作によってメモリセルアレイ3中のメモリセルから選択センスラッチに読み出される2値（1ビット）の情報“0”または“1”（‘Low’または‘High’）は、それぞれ異なる非選択センスラッチに転送されて、一時的に保持される。3回の読み出し動作によって読み出され、選択センスラッチから非選択センスラッチに転送されて、ラッチされた3種類の2値（1ビット）のデータ“0”または“1”（‘Low’または‘High’）は、信号線19を通して読出しデータ変換回路2に転送される。読み出しデータ変換回路2は、そのようにして転送されたデータに基づいて、4値（2ビット）のデータの上位ビット、下位ビットを合成する。読み出しデータ変換回路2は、合成された上位ビット及び下位ビットを交互に出力させて2値（1ビット）のデータ列とし、これが、メイ

ンアンプ10で増幅されて、Dout17から出力される。

【0032】図2には図1に示されたフラッシュメモリのメモリセルアレイ3及びセンスラッチ回路4に係る回路構成の一部が代表的に示されている。図2に示される構成は、センスラッチSLを挟んでビット線BLの反対側にもビット線BLaが配置されている。特に制限されないが、排他的に選択される複数本のビット線BL毎にビット線BLaを1本設ける場合には、当該ビット線BLaは専用のリファレンスビット線とされ、当該リファレンス用のビット線BLa側の回路構成はダミー回路とされる。或いは、ビット線BLaをビット線BLと1対1対応で設けてもよい。この場合、アクセスに際しては、相互に一方が他方のリファレンス用ビット線として用いられ、何れがリファレンス用のビット線とされるかは、アクセス対象とされるメモリセルの配置によって相対的に決定される。それに関する制御は前記制御回路12が行うことになる。

【0033】図2において、N1~N8、N1a~N8aはNMOSスイッチ、SLはセンスラッチ、MC、MCaはメモリセル、VCCは電源電圧、VWELはメモリセルの基板電圧、GNDは接地電位、WL、WL aはワード線、BL、BL aはビット線、S、Saは共通ソース線、DDC、DDCaはビット線をディスチャージするための制御信号線、SiS、SiSaはそれぞれメモリセルMC、MCaのソース側を共通ソース線S、Saに接続する制御信号線、RPC、RPCaは読出し動作時にビット線をプリチャージする制御信号線、PC、PCaは書込みベリファイ動作時にビット線をプリチャージする制御信号線、TR、TRaはビット線とセンスラッチを接続する制御信号線、IOT、IOBは入出力線、YGはセンスラッチと入出力線を接続する制御信号線、PP、PNはそれぞれ、センスラッチSLのPMOSTランジスタ、NMOSTランジスタの動作電源を表す。

【0034】前記ビット線BL、BL aは、特に制限されないが、アルミニウム配線によって形成され、1本のビット線BL、BL aには、特に制限されないが、メモリセルの直列回路が配置され（図2にはメモリセルの直列回路は1本のビット線に対して1本が代表的に示されている）、当該複数個のメモリセルの直列回路の中から一つを対応するビット線に導通させるためにNMOSスイッチN2、N2 aが設けられている。このようにメモリセルアレイ3はいわゆるノア型で構成されている。前記NMOSスイッチN2、N2 aは制御信号SiD、SiDaによってスイッチ制御される。

【0035】以下、上に述べた書込み動作、読出し動作についての詳細を説明する。

【0036】《1》書込み動作

図3から図13を参照しながら書込み及び書込みベリフ

アイのための構成と作用を詳細に説明する。図3には書込みベリファイ時にワード線に印加する電圧と、4値（2ビット）の情報が書き込まれたメモリセルのしきい値電圧の分布の関係を示す。この場合のメモリセルのしきい値電圧とメモリセルに書き込まれた4値（2ビット）の情報の対応づけは、しきい値電圧が一番高いVth0の状態（メモリセルの消去状態）を情報“00”が書き込まれた状態とし、しきい値電圧が二番目に高いVth1の状態を情報“01”が書き込まれた状態、しきい値電圧が三番目に高い状態Vth2の状態を情報“10”が書き込まれた状態、しきい値電圧が一番低いVth3の状態を情報“11”が書き込まれた状態としている。

【0037】一つのメモリセルに4値（2ビット）の情報を記憶させるには、メモリセルのしきい値電圧の分布を図3の様に、4極化すればよい。書込み動作及びそれに続く書込みベリファイ動作によって、メモリセルのしきい値電圧の分布を制御するために、書込みベリファイ電圧を図3の4個のメモリセルのしきい値電圧Vth0、Vth1、Vth2、Vth3に対して、 $V_{v1} > V_{th1}$ 、 $V_{th1} > V_{v2} > V_{th2}$ 、 $V_{th2} > V_{v3} > V_{th3}$ を満たす3種類の電圧Vv1、Vv2、Vv3として、書込みベリファイ動作時にワード線に印加する。図4にそのワード線印加電圧の例を示してある。図4中の「書込み1」、「書込み2」、「書込み3」の各動作は全て、一回の書込みと一回の書込みベリファイ動作の2つを表している。「書込み1」の動作によって、4値データ“01”、“10”、“11”を書込みたいメモリセルのしきい値電圧をVv1より低くし、「書込み2」の動作によって、4値データ“10”、“11”を書込みたいメモリセルのしきい値電圧をVv2より低くし、「書込み3」の動作によって、4値データ“11”を書込みたいメモリセルのみのしきい値電圧をVv3より低くする。「書込み1」～「書込み3」の各動作について以下に示す。

【0038】「書込み1」、「書込み2」、「書込み3」の各動作は「書込み1」の動作の前に消去動作を行なう点と、書込みベリファイ時にワード線に印加する電圧が異なる2点を除き、図2に代表的に示された回路の動作は共通である。そこでまず、「書込み1」～「書込み3」の書込み及び書込みベリファイ動作における共通の動作について、図2を用いて説明する。

【0039】メモリセルMCに書き込む場合は非反転側の入出力線IOTをハイレベル（以下単に‘High’とも記す）、反転側の入出力線IOBをローレベル（以下単に‘Low’とも記す）にする。全ての動作において、IOTとIOBは常にコンプリメンタリ信号となる。そして、制御信号線YGを選択レベルに立ち上げて、NMOSスイッチN8とN8aをオンさせる。これによってセンスラッチSLに、‘High’のデータがラッチされる。このとき、センスラッチSLのノードA

側は'High'、ノードAa側は'Low'となる。次に、センスラッチ4のPMOSTランジスタ側の電源電圧PPを電源電圧VCCから例えば4[V]に上げ、制御信号線PC線と制御信号線PCaを選択レベルに立ち上げてNMOSスイッチN5とN5aをオンさせる。このとき、センスラッチSLに'High'がラッチされているから、センスラッチSLのノードA側が'High'で、NMOSスイッチN7がオンし、NMOSスイッチN5を通してビット線BLが4[V]にプリチャージされる。一方、センスラッチSLのノードAa側は'Low'であるから、NMOSスイッチN7はオフの状態、ビット線BLaはプリチャージされず、ビット線BLaは0[V]とされる。この後、制御信号線PCとPCaの電圧が非選択レベルにされて、NMOSスイッチN5とN5aがオフされ、次いで、制御信号線SiDが立ち上げられ、NMOSスイッチN2がオン状態にされる。そして、ワード線WLに例えば-9[V]が印加され、制御信号線TR、TRaが選択レベルに立ち上げられてNMOSスイッチN6、N6aがオン状態にされ、これによってメモリセルMCに書き込みが行われる。このときメモリセルMCの基板電圧VWELは例えば0[V]にされる。この後、ワード線WLが0[V]にされ、制御信号線TR、TRaの電圧が非選択レベルに立ち下げられてNMOSスイッチN6、N6aがオフにされ、その後で、制御信号線DDC、DDCaが選択レベルに立ち上げられてNMOSスイッチN1、N1aがオンにされることにより、書き込み対象とされたビット線BLとリファレンス側のビット線BLaがディスチャージされ、これらビット線BL、BLaの電位が0[V]に初期化される。そして、制御信号線DDC、DDCaの電圧が非選択レベルに立ち下げられてNMOSスイッチN1、N1aがオフ状態にされてから、次に示す書き込みベリファイ動作が行なわれる。

【0040】書き込みベリファイ動作ではまず、センスラッチSLのPMOSTランジスタ側の電源PPの電圧が電源電圧VCCとされ、制御信号線PC線が選択レベルに立ち上げられて、NMOSスイッチN5がオン状態にされる。このとき、上記書き込み動作で記したように、センスラッチSLに情報"1"('High')がラッチされていると、NMOSスイッチN7がオンし、ビット線BLはプリチャージされるが、情報"0"('Low')がラッチされている場合はNMOSスイッチN7はオフであるからビット線BLはプリチャージされない。また、制御信号線RPCaが選択レベルに立ち上げられてNMOSスイッチN4aがオン状態にされて、リファレンス側のビット線BLaがビット線BLよりも低い電圧にプリチャージされる。次に、制御信号線PC、RPCaの電圧が共に非選択レベルに立ち下げられてNMOSスイッチN5、N4aがオフ状態に反転された後、センスラッチSLのPMOSTランジスタ側の電源

PPがVSS(接地電位のような低電位側の電源電圧)に、NMOSTランジスタ側の電源PNがVCC(高電位側の電源電圧)にされて、センスラッチSLがディスチャージされる。次いで、制御信号線SiDとSiSが選択レベルに立ち上げられて、NMOSスイッチN2とN3がオン状態にされ、ワード線WLにベリファイ電圧Vv1、Vv2、Vv3の何れか一つが印加される。このとき、ソース線SとメモリセルMCの基板電圧VWELは0[V]にされる。前記書き込み動作により、メモリセルMCのしきい値電圧がワード線を選択レベルよりも低い状態になっている場合にはメモリセルMCがオンし、ビット線BLからソース線S側に電流が流れ、ビット線BLの電位が下がる。一方、書き込み動作でメモリセルMCのしきい値電圧がワード線を選択レベルよりも低い状態になっていない場合にはメモリセルMCはオン状態にされず、ビット線BLの電位は下らない。ワード線の電圧を0[V]に戻してから、制御信号線SiD、SiSの電圧を下げてNMOSスイッチN1とN3をオフさせ、制御信号線TRとTRaを選択レベルに立ち上げてNMOSスイッチN6とN6aをオンさせ、センスラッチSLのPMOSTランジスタ側の電源PPをVCCに、NMOSTランジスタ側の電源PNをVSSにしてセンスラッチSLを活性化し、これによってセンスラッチSLは、ビット線BLとリファレンス側のビット線BLaとの電位差を増幅する。このとき、メモリセルMCがオン状態にされていたなら、ビット線BL側の電位が下がり、リファレンス側のビット線BLaに対してレベルが低くなったとき、センスラッチSLにラッチされた'High'は'Low'に反転する。メモリセルがオフであった場合にはビット線BLaの電位が下がり、リファレンス側のビット線BLaに対してレベルが高くされているので、センスラッチSLにラッチされた'High'は'High'のまま反転しない。このベリファイ動作によって、センスラッチSLにラッチされた'High'が'Low'に反転するまで、書き込み動作と、書き込みベリファイ動作が繰り返される。上記書き込み及び書き込みベリファイの各動作制御は制御回路12によって行われる。

【0041】次に、メモリセルMCへの4値(2ビット)の書き込みにおけるメモリセルのしきい値電圧の制御方法について説明する。この制御方法は、後述の書き込み変換回路により、3回の書き込み動作に従い、非選択のセンスラッチを用いて順次書き込む4値(2ビット)のデータに対応した2値(1ビット)の信号"0"または"1"('Low'または'High')に変換することによって、以下に示すように一つのメモリセルに4値(2ビット)の書き込みを可能とする。

【0042】今、図5のように一本のワード線WLに接続する4個のメモリセルMC1、MC2、MC3、MC4のそれぞれに、4値のデータ"00"、"01"、

“10”、“11”を書き込む場合を考える。これら4値のデータ“00”、“01”、“10”、“11”は1ビットのデータ列“00011011”を2個ずつ区切ったものである。通常この8個のデータを書き込むためには8個のメモリセルが必要であるが、上記の様に1ビットのデータ列を2個ずつ区切って、4値(2ビット)のデータ“00”、“01”、“10”、“11”とし、それぞれを1個のメモリセルに書き込めば4個のメモリセルしか必要とせず、メモリの容量を2倍にすることが可能となる。

【0043】まず、書込み動作の前に、消去動作を行ない、メモリセルMC1~MC4のしきい値電圧を、高い V_{th0} にそろえる(図6)。消去動作は図2を用いて説明すると、ワード線WLとメモリセルMCの基板電圧VWELにそれぞれ、例えば12[V]と-4[V]を印加し、共通ソース線Sに-4[V]を印加して、制御信号線Sisを選択レベルに立ち上げてNMOSスイッチN3をオンさせてメモリセルMCのソース側を-4[V]にすることで行われる。これによって、消去対象とされたメモリセルMCの浮遊ゲートに電子が注入されて、メモリセルMCのしきい値電圧が高い状態になる。この後に、書込み、書込みベリファイ動作を行なう。このとき、ワード線WLには図4に示されるような電圧を印加するものとする。

【0044】「書込み1」の動作ではまず、メモリセルMC1~MC4にそれぞれ接続するセンスラッチSL1~SL4に書込み2値データW1Tをラッチする。すなわち、メモリセルMC1に接続するセンスラッチSL1を‘Low’ (“0”をラッチ)にし、それ以外のメモリセルMC2~MC4に接続するセンスラッチSL2~SL4は‘High’ (“1”をラッチ)にして、メモリセルMC2~MC4に書込みを行なう。この後、すでに述べた書込み、及び書込みベリファイ動作をワード線の電圧を書込み時には例えば-9[V]、書込みベリファイ時には V_{v1} として行なう。図7に示されるように、メモリセルMC2~MC4のしきい値電圧が V_{th1} となったら、「書込み1」の動作は終了し、続いて「書込み2」の動作に移る。

【0045】「書込み2」の動作はまず、書込み2値データW2TをメモリセルMC1~MC4にそれぞれ接続するセンスラッチSL1~SL4にラッチさせる。すなわち、メモリセルMC1、MC2に接続するセンスラッチSL1、SL2は“Low” (“0”をラッチ)にし、それ以外のメモリセルMC3、MC4に接続するセンスラッチSL3、SL4は“High” (“1”をラッチ)して、メモリセルMC3、MC4に書込みを行なう。この後は「書込み1」と同様に、ワード線の電圧を書込み時には例えば-9[V]、書込みベリファイ時には V_{v2} として書込み及び、書込みベリファイを行なう。図8に示されるように、メモリセルMC3、MC4

のしきい値電圧が V_{th2} となったら、「書込み2」の動作は終了し、続いて「書込み3」の動作に移る。

【0046】「書込み3」の動作はまず、書込み2値データW3TをメモリセルMC1~MC4にそれぞれ接続するセンスラッチSL1~SL4にラッチさせる。すなわち、メモリセルMC1~MC3に接続するセンスラッチSL1~SL3は“Low” (“0”をラッチ)にし、メモリセルMC4に接続するセンスラッチSL4は“High” (“1”をラッチ)にして、メモリセルMC4にのみ書込みを行なう。この後は「書込み1」「書込み2」と同様に、ワード線の電圧を書込み時には例えば-9[V]、書込みベリファイ時には V_{v3} として書込み及び、書込みベリファイを行なう。図9に示されるように、メモリセルMC4のしきい値電圧が V_{th3} となったら、「書込み3」の動作は終了し、これで全書込み動作が終了し、メモリセルMC1~MC4のそれぞれに4値(2ビット)の情報“00”、“01”、“10”、“11”が書き込まれたこととなる。このようにして、上述の書込みベリファイ時にワード線に印加する電圧を V_{v1} ~ V_{v3} に設定した「書込み1」~「書込み3」の3回の書込み動作を行うことにより、一つのメモリセルに4値(2ビット)の情報を書込むことができる。

【0047】図4のワード線電圧印加の例では、それぞれの段階(「書込み1」~「書込み3」)での書込み動作後の書込みベリファイ動作を一回行って、所要のしきい値電圧を得られた場合である。ワード線への書込み電圧の印加形式は図4の他に、図10や図11に示される方式を選択できる。図10の方式は、1回の書込み電圧の印加時間即ち書込みパルス幅を徐々に大きくする制御を意味する。図11の方式は、1回の書込みパルス幅は一定とし、そのときの書込み電圧レベルを徐々に大きく制御しようとするものである。

【0048】次に、2値(1ビット)の書込みデータ列から、「書込み1」~「書込み3」における4値(2ビット)書込みのための2値データW1T~W3T、およびそのコンプリメンタリ信号W1B~W3Bへの変換方式について説明する。

【0049】図12には2値(1ビット)の書込みデータ列を奇数、偶数ビットに分離する回路の一例が示される。同図に示される回路の特長は、書き込むべき2値のデータ列をDT、DBのコンプリメンタリ信号に分離した後で、互いに半周期ずれたクロック信号CLK1、CLK2によって、奇数ビットのWOT、WOB(WOTとWOBは互いにコンプリメンタリ信号)、偶数ビットのWET、WEB(WETとWEBは互いにコンプリメンタリ信号)に分離するという点である。

【0050】図13を用いて図12に示される回路の動作を説明する。図13にはフラッシュメモリのデータ入力端子(Din)16に2値(1ビット)の書込みデー

タ列が“1”、“1”と連続して(‘High’, ‘High’ と連続して)入力された場合が一例として示され、この入力された書込みデータ列がインバータ回路INV1、INV2によりDT、DBのコンプリメンタリ信号に分離され、分離された信号DT、DBは、互いに半周期ずれたクロック信号CLK1、CLK2に同期されて、それぞれ互いにコンプリメンタリ信号の組WOT、WOB(奇数ビット)、WET、WEB(偶数ビット)が形成される。この例においてコンプリメンタリ(相補)信号に変換するのは、前記センスラッチSLの入力が差動若しくは相補信号とされていることに応ずるものであり、必ずしもそれに限定されるものではない。

【0051】図14には、そのように偶数ビットと奇数ビットに分離された相補データを用いて4値書込みを行うための回路構成が示される。同図に示される構成は、図1のメモリアルレイ3、センスラッチ回路4、書込み変換回路1、読出し変換回路2に対応される構成例である。特に制限されないが、メモリアルレイ3は4個に分割されたメモリアルレイ3A～メモリアルレイ3Dによって構成され、センスラッチ回路4は4個に分割されたセンスラッチ回路4A～センスラッチ回路4Dによって構成され、書込み変換回路1は4個に分割された書込み変換回路1A～書込み変換回路1Dによって構成される。アクセスは、4個のメモリアルレイ3A～3Dの中から選ばれた1個のメモリアルレイに対して行われるものとする。前記コンプリメンタリ信号WOT、WOB、WET、WEBの信号線は、スイッチSW1a～SW4aを介して書き込み変換回路1Aに、スイッチSW1b～SW4bを介して書き込み変換回路1Bに、スイッチSW1c～SW4cを介して書き込み変換回路1Cに、スイッチSW1d～SW4dを介して書き込み変換回路1Dに接続されている。また、入出力線IOTa、IOBaに結合された書込み変換回路1Aとセンスラッチ回路4AはスイッチSBa、STaを介して前記コンプリメンタリ信号WOT、WOBの信号線に接続可能にされ、入出力線IOTd、IOBdに結合された書込み変換回路1Dとセンスラッチ回路4DはスイッチSBd、STdを介して前記コンプリメンタリ信号WOT、WOBの信号線に接続可能にされる。同様に、入出力線IOTb、IOBbに結合された書込み変換回路1Bとセンスラッチ回路4BはスイッチSBb、STbを介して前記コンプリメンタリ信号WET、WEBの信号線に接続可能にされ、入出力線IOTc、IOBcに結合された書込み変換回路1Cとセンスラッチ回路4CはスイッチSBc、STcを介して前記コンプリメンタリ信号WET、WEBの信号線に接続可能にされる。また、センスラッチ回路4A～センスラッチ回路4Dは、スイッチSRTa、SRBa、SRTb、SRBb、SRTc、SRBc、SRTd、SRBdを介して相互にラッチ信号の授受を行うことができる。前記各スイッチの制御は制御回

路12によって行われる。また、各センスラッチ回路4A～4DはスイッチSOTa、SOBa、SOTb、SOBb、SOTc、SOBc、SOTd、SOBdを介して読み出し変換回路2に接続可能にされている。

【0052】図14に示される回路は、1つの選択されたメモリアルレイに4値(2ビット)の情報を書込むために、図12の分離回路によって、奇数ビットと偶数ビットに分離された信号を、2つの非選択メモリアルレイに接続するセンスラッチ回路にラッチさせて一時的に保持させ、「書込み1」～「書込み3」の各動作において、選択されたメモリアルレイに設けられた書込み変換回路を用いて「書込み1」～「書込み3」に対応される2値データW1T～W3T及びそのコンプリメンタリ信号W1B～W3Bを合成して、選択メモリアルレイのセンスラッチ回路にラッチさせて書込みを行うものである。

【0053】例えばメモリアルレイ3Aを選択メモリアルレイとし(メモリアルレイ3B～3Dは非選択メモリアルレイ)、この選択メモリアルレイ3Aに含まれるメモリアルレイに書き込みを行なう場合を考える。図9に示した回路によって分離された奇数ビットWOT、WOBをスイッチSTd、SBdを閉じて、センスラッチ回路4Dに保持させ、偶数ビットWET、WEBをスイッチSTb、SBbを閉じてセンスラッチ回路4Bに保持させる。偶数ビットはセンスラッチ回路4Cに保持させても良いが、ここではセンスラッチ回路4Bに保持させた場合について、以下説明する。「書込み1」～「書込み3」の各動作において、センスラッチ回路4Dに保持された奇数ビットの情報WOT、WOBと、センスラッチ回路4Bに保持され偶数ビットの情報WET、WEBを、選択メモリアルレイ1Aの書込み変換回路1AにスイッチSTd、SBd、STb、SBbとSW1a～SW4aを閉じて転送する。転送を受けた書込み変換回路1Aは、4値(2ビット)の情報をメモリアルレイに書込むための2値(1ビット)のデータ“0”または“1”(‘High’または‘Low’)に変換して選択メモリアルレイ3Aのセンスラッチ回路4Aにラッチさせて書込み及び、書込みベリファイを行なう。書込み変換回路1A～1Dが行うデータ合成のための回路構成と動作例を次に説明する。

【0054】図15には書込み変換回路が備える書込みデータ合成回路の一例が示される。図14の書込み変換回路1A～1Dは全てこの図15に示した回路によって実現されている。同図に示される書込みデータ合成回路は、2ビットのコンプリメンタリ信号の内の非反転データWOT、WETを合成してセンスラッチSLの入出力線IOTに与えるデータW1T～W3Tを「書込み1」～「書込み3」に対応してそれぞれ合成する回路部分100と、2ビットのコンプリメンタリ信号の内の反転データWOB、WEBを合成してセンスラッチSLの入出力線IOBに与えるデータW1B～W3Bを「書込み

1」～「書込み3」に対応してそれぞれ合成する回路部分101とに大別される。回路部分100は、2ビットのコンプリメンタリ信号の内の非反転データWOT、WETに基づいて、「書込み1」のときはモード信号MDW1によって選択された信号パスを介してデータW1Tを形成し、「書込み2」のときはモード信号MDW2によって選択された信号パスを介してデータW2Tを形成し、「書込み3」のときはモード信号MDW3によって選択された信号パスを介してデータW3Tを形成する。回路部分101は、2ビットのコンプリメンタリ信号の内の反転データWOT、WETに基づいて、「書込み1」のときはモード信号MDW1によって選択された信号パスを介してデータW1Bを形成し、「書込み2」のときはモード信号MDW2によって選択された信号パスを介してデータW2Bを形成し、「書込み3」のときはモード信号MDW3によって選択された信号パスを介してデータW3Bを形成する。「書込み1」においては、選択されたメモリアレイのセンスラッチSLの入出力線IOT、IOBにはデータW1T、W1Bが与えられて書込み及び書込みベリファイが行われ、「書込み2」においては、選択されたメモリアレイのセンスラッチSLの入出力線IOT、IOBにはデータW2T、W2Bが与えられて書込み及び書込みベリファイが行われ、「書込み3」においては、選択されたメモリアレイのセンスラッチSLの入出力線IOT、IOBにはデータW3T、W3Bが与えられて書込み及び書込みベリファイが行われる。選択側の書込み変換回路1Aには、「書込み1」～「書込み3」の夫々において、WOT、WETが非選択側のセンスラッチ回路4Dから、WOB、WEBが非選択側のセンスラッチ回路4Cから与えられる。

【0055】図16の(A)、(B)、(C)には図15に示されるデータ合成回路によって得られる出力結果が示されている。「書込み1」を行なう場合は、図15の信号MWD1を'High'にする。同様に、「書込み2」、「書込み3」を行なう場合はそれぞれ信号MWD2、MWD3を'High'にする。図16の

(A)、(B)、(C)に示されたIOT、IOBの出力は、「書込み1」から「書込み3」の動作において、外部からの書込むべき2値のデータ列("0" "0"、"0" "1"、"1" "0"、"1" "1")に対して図7乃至図9に示した書込み2値データW1T～W3Tに対応される。

【0056】同様に、他のメモリアレイに書込みを行なう場合は、奇数ビット、偶数ビットに分けられたデータを非選択となるアレのうちの2つのセンスラッチ回路にデータを一時的に保持させて、書込みの時に、保持されたデータを選択メモリの書込み変換回路に転送し、書込みデータを合成して、選択メモリアレイのセンスラッチ回路にラッチさせればよい。

【0057】尚、図12に示される偶数、奇数ビットに

分離する回路と図15に示されるデータ合成回路は書込みデータ変換回路1に含まれている。

【0058】《2》読出し動作

次に、一つのメモリセルに格納された2ビット分の情報を読み出すための構成を詳細に説明する。まず、一つのメモリセルに書き込まれた2ビット(4値)のデータを読出し、1ビット(2値)のデータ列に変換するための構成を図17乃至図26をも参照しながら説明する。

【0059】前記項目《1》の書込み動作によって、図17のように、4極化されたメモリセルのしきい値電圧に対して、この例では、読出し動作時にワード線に印加する電圧を図17に示す様な $V_{th0} > V_{r1} > V_{th1}$ 、 $V_{th1} > V_{r2} > V_{th2}$ 、 $V_{th2} > V_{r3} > V_{th3}$ をそれぞれ満たす電圧 V_{r1} 、 V_{r2} 、 V_{r3} とする。そのときにワード線に印加する電圧の例を図18に示す。ワード線に電圧 V_{r1} を印加して読出しを行なう動作を「読出し1」とし、同様に電圧 V_{r2} 、 V_{r3} を印加して読出しを行なう動作をそれぞれ、「読出し2」、「読出し3」と称する。このように読み出し動作を3回行うことは、メモリセルに書き込まれた4値(2ビット)の情報を「読出し1」～「読出し3」の各読み出し動作毎に、2値(1ビット)の情報として読み出すことに他ならない。

【0060】前記「読出し1」～「読出し3」におけるメモリアレイ、センスラッチ回路を含む要部回路の動作は共通であるので、図2に基づいて先ずその共通部分についての読出し動作を説明する。

【0061】データ読出しに際しては先ず、センスラッチSLのPMOSTランジスタ側の電源PPを接地電位VSSに、NMOSTランジスタ側の電源PNを電源電圧VCCにする。この後、制御信号線RPC、SiDを選択レベルに立ち上げてそれぞれ、NMOSスイッチN4、N2をオン動作させて、選択されたメモリセルMCに接続するビット線BLとノードA側を例えば1Vにプリチャージし、同時に制御信号線RPCaを選択レベルに立ち上げてそれぞれ、NMOSスイッチN4aをオンさせて、リファレンス側のノードAaを例えば0.5

[V]にプリチャージする。次に、制御信号線RPC、RPCaの電圧を非選択レベルに下げてNMOSスイッチN4、N4aをオフ状態にしてから、制御信号線SiSを選択レベルに立ち上げ、NMOSスイッチN3をオン状態に、そして、ソース線Sと、メモリセルの基板電圧VWELを0[V]とし、ワード線に読出し電圧を印加する。この時、メモリセルMCのしきい値電圧がワード線に印加された電圧よりも低い場合は、メモリセルMCがオン状態にされて、ビット線BL側からソース線側に電流が流れ、ビット線BLとノードA側の電圧が低下する。一方、メモリセルMCのしきい値電圧がワード線に印加された電圧よりも高い場合は、メモリセルMCはオン動作せず、メモリセルには電流は流れないからビツ

ト線BLとノードAの電圧は下らない。そして、ワード線WLの電圧を0[V]にし、制御信号線SiD、SiSの電圧を非選択レベルに下げてそれぞれ、NMOSスイッチN2、N3をオフさせた後、制御信号線TR、TRaを選択レベルに立ち上げて、NMOSスイッチN6、N6aをオン動作させ、次いで、センスラッチSLのPMOSトランジスタ側の電源PPをVCCに、NMOSTランジスタ側の電源をVSSにし、ノードAとリファレンス側のノードAaの電圧差を増幅する。増幅動作が確定するタイミングをもって制御信号線YGを選択レベルに立ち上げて、NMOSスイッチN8、N8aをオン動作させることにより、センスラッチSLが保持している情報が、入出力線IOT、IOBに出力される。入出力線IOT、IOBには互いにコンプリメンタリ信号が出力される。

【0062】次に「読出し1」～「読出し3」の各動作におけるメモリセルに書き込まれた4値(2ビット)の情報の読出しについて図16の場合を一例として説明する。図16においては、一本のワード線WLに接続した4個のメモリセルMC1～MC4に、“00”、“01”、“10”、“11”のそれぞれ4値(2ビット)のデータが書き込まれている場合を想定する。これらの4個の値は、すでに述べた書き込み動作により、2値(1ビット)のデータ列“00011011”が2個ずつ区切られて“00”、“01”、“10”、“11”として、それぞれメモリセルMC1～MC4に記憶されたものである。また、SL1～SL4はそれぞれメモリセルMC1～MC4に接続されたセンスラッチを表す。この例では、簡単なセンスラッチの構成により一つのメモリセルに記憶された多値(4値)の読み出しが実現できる。

【0063】図20は「読出し1」の動作によって、メモリセルMC1～MC4のしきい値電圧とワード線に印加する読出し電圧Vr1との関係及び、メモリセルMC1～MC4から読み出され、センスラッチSL1～SL4にラッチされる2値(1ビット)のデータR1Tの、“0”又は“1”(‘High’又は‘Low’)を示した図である。同様に図21、図22もそれぞれメモリセルMC1～MC4のしきい値電圧とワード線に印加する読出し電圧Vr2、Vr3との関係及び、「読出し2」、「読出し3」の各動作によって、メモリセルMC1～MC4から読み出され、センスラッチSL1～SL4にラッチされる2値(1ビット)のデータR2T、R2Tを示した図である。前述の図14の構成から成るフラッシュメモリについて、これら2値(1ビット)の情報が圧縮され、4値(2ビット)の情報が記憶されたメモリセルから読み出される2値(1ビット)のデータR1T～R3T、及びそのコンプリメンタリ信号R1B～R3Bから、メモリセルに4値のデータとして圧縮されて記憶される前の2値(1ビット)の情報へ変換する手

法を説明する。

【0064】図14の選択メモリアレイ3Aの情報を読み出す場合を一例として説明する。「読出し1」の動作によって、読み出された2値(1ビット)のデータR1T及び、そのコンプリメンタリ信号R1Bはセンスラッチ回路4Aから、スイッチSRTa、SRBa、SRTb、SRBbを閉じてセンスラッチ回路3Bへ転送され、それによってセンスラッチ3BはデータR1T、R1Bを保持する。それらのスイッチSRTa、SRBa、SRTb、SRBbを開いた後、「読出し2」の動作が行われる。「読出し2」の場合には、スイッチSRTa、SRBa、SRTc、SRBcが閉じられることにより、選択メモリアレイ3Aから読み出された2値(1ビット)のデータR2T、R2Bは、センスラッチ回路4Aからセンスラッチ4Cへ転送され、これによってセンスラッチ回路4CはデータR2T、R2Bを保持する。この後、これらのスイッチを開いてから、「読出し3」の動作を開始して、2値(1ビット)のデータR3T、R3Bを読み出し、センスラッチ4Aに保持させる。3個のセンスラッチ回路4A、4B、4Cに保持された3個の読み出しデータはスイッチSOTa、SOBa、SOTb、SOBb、SOTd、SOBdを介して読み出し変換回路2に与えられる。読み出し変換回路2は、そのデータを1ビットずつのデータ列に変換若しくは復元する。

【0065】図23には「読出し1」～「読出し3」の動作によって読み出された2値(1ビット)のデータR1T～R3T及びそのコンプリメンタリ信号R1B～R3Bから、メモリセルに記憶されていた4値(2ビット)のデータ“00”、“01”、“10”、“11”に変換する回路例が示されている。

【0066】同図に示される読み出しデータ合成回路は、入出力線IOT側の回路部分200と入出力線IOB側の回路部分201に大別される。回路部分200は、「読出し1」～「読出し3」の3回の読み出しによって得られた非反転信号R1T～R3Tに基づいて、2ビットの非反転信号YT、XTを並列的に形成する。回路部分201は、「読出し1」～「読出し3」の3回の読み出しによって得られた反転信号R1B～R3Bに基づいて、2ビットの反転信号YB、XBを並列的に形成する。即ち、この読出しデータ合成回路は、センスラッチ回路4A、4B、4Cから転送されるデータR1T、R2T、R3Tとそのコンプリメンタリ信号R1B、R2B、R3Bを4値(2ビット)のデータ列に変換する。XTは4値(2ビット)のデータの上位ビットを、YTは下位ビットを表す。XB、YBはその信号のコンプリメンタリ信号である。例えば、4値のデータが“10”の場合、上位ビットは“1”、下位ビットは“0”となる。

【0067】図24には前記「読出し1」～「読出し

3」によって得られたデータR1T~R3T(R1B~R3B)とそれによって得られる合成出力XT, YT(XB, YB)との関係が示されている。

【0068】前記読出しデータ合成回路で得られた上位ビットのXT, XB, 下位ビットのYT, YBは、図25に示される回路で、交互に選択されて2ビットのデータとして出力される。図25に示される回路は、クロック信号CLK3に同期させて、上位ビットXT, 下位ビットYTを交互にIOTに、上位ビットのコンプリメンタリ信号XB, 下位ビットのコンプリメンタリ信号YBを交互にIOBへ出力させるCMOSTランスファゲートGXT, GYTが設けられて成る。これによって、一つのメモリセルに記憶されている4値の情報を2ビットのデータ列として読み出すことができる。

【0069】図26には図20の回路の一例動作タイミングとして、“XT, YT”が“11”の場合(コンプリメンタリ信号“XB, YB”は“00”)、すなわち、一つのメモリセルに記憶された情報が4値(2ビット)で“11”の場合を例としたIOT, IOBの出力を表す。XT, XBの信号は、クロック信号CLK3が‘High’の状態の時にCMOSTランスファゲートGXT, GXBが開いてそれぞれ入出力線IOT, IOBに出力される。この時、CMOSTランスファゲートGYT, GYBは閉じており、YT, YBの信号は出力されない。一方、クロック信号CLK3が‘Low’の状態の時にはCMOSTランスファゲートGYT, GYBが開き、YT, YBの信号が入出力線IOT, IOBに出力され、XT, XBの信号はトランスファゲートGXT, GXBが閉じているため、出力されない。

【0070】尚、図23に示された読出しデータ合成回路と、図25に示された上位及び下位ビットの交互出力回路は前記読出し変換回路2に含まれている。

【0071】以上説明してきた読出し動作の特長は、「読出し1」~「読出し3」の3回の動作により、メモリセルに書込まれた4値(2ビット)の情報に対応して、それぞれに読み出された2値(1ビット)のデータを非選択メモリアレイのセンスラッチ回路に転送して、3回の読出しが終了した後に、これらの2値(1ビット)のデータを読出しデータ変換回路2によって、2値(1ビット)のデータ列に変換して4値(2ビット)の情報を読み出すことである。

【0072】図27にはフラッシュメモリの別の例が示されている。図1に基づいて説明したフラッシュメモリは、書込み時、読出し時に非選択センスラッチ回路に書き込むべきデータ又は、メモリセルから読出されたデータを一時的に保持させ、メモリセルに書込むべきデータ又は、外部に読出すべきデータに変換するが、図27に示されるフラッシュメモリでは、フラッシュメモリのチップ内に、それら非選択メモリ側のセンスラッチの機能を専用的に司るためのバッファ21を設け、このバッ

ファ21にデータを一時的に保持させるようにしたものである。書込み時、読出し時における動作及びデータ変換のやり方は、図1のフラッシュメモリに関して説明した内容と同じであるが、データを非選択センスラッチ回路ではなく、バッファ21を用いる点が相違される。

【0073】この例の場合に、4値(2ビット)の書込み、及び読出し動作は次の様に行う。前述の説明と同様に書込みデータ変換回路1で奇数ビット、偶数ビットに分離された書込み2値データをバッファ21に信号線23を通して転送してこれらを保持させる。「書込み1」~「書込み3」に応じた2値(1ビット)のデータを合成するため、これら奇数ビット、偶数ビットに分離されたデータを信号線23を通してバッファ21から書込みデータ変換回路1に転送する。この書込みデータ変換回路1で合成された3種類の書込みデータは、信号線23を通して再びバッファ21に転送して保持させる。この合成されたデータを「書込み1」~「書込み3」の各動作のときに、信号線24を通してセンスラッチ回路4へ転送し、ラッチさせて、書込み及び書込みベリファイ動作を行なうようにする。一方、読出し動作は「読出し1」~「読出し3」によって、それぞれ読み出された2値(1ビット)のデータをセンスラッチ回路4から信号線24を通してバッファ21に転送して保持させる。これら2値データを信号線25を通して読出しデータ変換回路2へ転送し、上記実施例同様に、2値(1ビット)のデータ列に変換してメインアンプ10で増幅し、Dout17から出力する。それら制御は制御回路12によって行う。

【0074】図28には更に別のフラッシュメモリの例が示される。このフラッシュメモリは中央演算処理機構(CPU)27を内蔵する。中央演算処理機構27は中央処理装置若しくはマイクロプロセッシングユニットの相当する回路ブロックを意味する。この中央演算処理機構27は、図1のフラッシュメモリに関して説明した書込みデータ変換、読出しデータ変換、及びその時のセンスラッチ回路間のデータの転送を制御する機能を実現する。それら機能を実現するための中央演算処理機構27の動作プログラムは、それに内蔵された半導体記憶装置若しくは図示を省略した別のオンチップ半導体記憶装置に格納されているものと理解されたい。

【0075】図29に示されるフラッシュメモリはバッファ21と中央演算処理機構27の双方を同一半導体チップの備えている。

【0076】図28及び図29に示されるフラッシュメモリは、チップ上に中央演算処理機構27を有し、4値(2ビット)の書込み及び読出し時における各種データ変換などの演算処理を中央演算処理機構27によって行い、非選択のセンスラッチ回路または、チップ上に設けられたバッファ21を用いて一つのメモリセルに4値(2ビット)の書込み及び読出し動作を行なうことがで

きる。この図28に示されるフラッシュメモリにおける4値(2ビット)の書込み及び、読出しの動作は、それぞれ、非選択メモリアレイのセンスラッチ回路を用いる点で図1のフラッシュメモリと同様であり、また、図29のフラッシュメモリはバッファ21を用いる点で図27のフラッシュメモリと同様であるが、データ変換については、図1及び図27のフラッシュメモリはそれぞれが独立して制御されるメモリアレイとセンスラッチ回路のそれぞれに書込み変換回路が設けられているのに対して、図28及び図29のフラッシュメモリでは、読出しデータ変換の機能と、書込みデータ変換機能を中央演算処理機構27によって実現している。

【0077】図28に示されるフラッシュメモリにおける4値(2ビット)の書込み、及び読出し動作は次の様に行う。Din16から書込む2値(1ビット)のデータ列が入力されると、これをメインアンプ10で増幅し、中央演算処理機構27へ信号線29を通して転送し、奇数ビット、偶数ビットに分離する。この奇数ビット、偶数ビットに分離された2値(1ビット)のデータはセンスラッチ回路4の非選択のメモリセルに接続するセンスラッチ(非選択センスラッチ)に信号線28を通して転送されて保持される。「書込み1」～「書込み3」に応じた2値(1ビット)のデータを中央演算処理機構27により合成するため、これら奇数ビット、偶数ビットに分離されたデータは、信号線28を通してセンスラッチ回路4から中央演算処理機構27に転送される。中央演算処理機構27で変換されたデータは「書込み1」～「書込み3」の各動作に応じて、信号線28を通してセンスラッチ回路4へ転送されてラッチされ、書込み及び書込みベリファイ動作に利用される。一方、読出し動作では「読出し1」～「読出し3」によって、それぞれ読み出された2値(1ビット)のデータがセンスラッチ回路4の非選択センスラッチに保持される。3回の読出し動作によって読み出され、センスラッチ回路4に保持された2値(1ビット)のデータは、信号線28を通して中央演算処理機構27へ転送され、図1のフラッシュメモリと同様に、2値(1ビット)のデータ列に変換されて、信号線29を通してメインアンプ10へ転送され増幅されて、Dout17から外部に出力される。

【0078】図29に示されるフラッシュメモリは、4値(2ビット)の書込み、及び読出し動作を次の様に行う。Din16から書込む2値(1ビット)のデータ列が入力されると、そのデータがメインアンプ10で増幅されて中央演算処理機構27へ信号線29を通して転送され、奇数ビット、偶数ビットに分離される。この奇数ビット、偶数ビットに分離された2値(1ビット)のデータはバッファ21に信号線31を通して転送されて保持される。「書込み1」～「書込み3」に応じた2値(1ビット)のデータを中央演算処理機構27により合

成するため、これら奇数ビット、偶数ビットに分離されたデータは信号線31を通してバッファ21から中央演算処理機構27に転送される。中央演算処理機構27で変換されたデータは「書込み1」～「書込み3」の各動作に従って信号線31を通してセンスラッチ回路4へ転送されてラッチされ、順次書込み及び書込みベリファイ動作に利用される。一方、読出し動作は「読出し1」～「読出し3」によって、それぞれメモリセルから読み出された2値(1ビット)のデータがセンスラッチ回路4から信号線30を通してバッファ21に転送されて保持される。3回の読出し動作によって読み出され、バッファ21に保持された2値(1ビット)のデータは信号線31を通して中央演算処理機構27へ転送され、図1のフラッシュメモリと同様に、2値(1ビット)のデータ列に変換されて信号線29を通してメインアンプ10へ転送されて増幅され、Dout17から外部に出力される。尚、中央演算処理機構27をオンチップで備えたフラッシュメモリは、制御回路12の機能を当該中央演算処理機構27によって実現することができる。

【0079】図30には図28及び図29に示される単一チップのフラッシュメモリをマルチチップで構成する場合の例が示されている。すなわち、フラッシュメモリ33、中央演算処理機構27、及びDRAM(ダイナミック・ランダム・アクセス・メモリ)によってマルチチップで構成されている。フラッシュメモリ33は図28のフラッシュメモリに対して中央演算処理機構を内蔵せず、或いは図1のフラッシュメモリに対して書込み変換回路と読出し変換回路を備えていない回路構成を有する。書込み動作と読出し動作時におけるデータ変換の時は、データをDRAM34に転送し一時的に保持させ、それを中央演算処理機構27がデータ変換を行ない、一つのメモリセルに対する4値データの書込み又は一つのメモリセルに格納された4値データの読出しを行なう。図30において38、39は制御信号、35、36、37はアドレスやデータのための信号線を意味する。

【0080】図31に示される回路は、図30に示される回路構成に含まれるDRAM34をSRAM(スタティック・ランダム・アクセス・メモリ)40に変えた点が相違される。この回路構成によれば、書込み動作と読出し動作時におけるデータ変換の時、データはSRAM40に転送されて一時的に保持され、中央演算処理機構27がそのSRAM40に保持されたデータの前記変換を行ない、書込み又は、読出しを行なう。図31において38及び43は制御信号、36、41及び42はアドレスやデータのための信号線を意味する。

【0081】図32、図33にはこれまでに説明した各種フラッシュメモリにおける4値(2ビット)の書込み動作及び読出し動作の手順の一例が示されている。即ち、書込み動作においては、書込みデータを奇数ビット、偶数ビットに分離し、非選択メモリアレイのセンス

ラッチ、バッファ21又は外部のDRAM34若しくはSRAM40に一時的に格納する(S1)。次いで、一時的に格納されたデータから「書込み1」～「書込み3」に応じて、順次実際にメモリセルに書き込む書込み2値データを合成し、選択メモリアレイのセンスラッチに転送する(S2)。そして、ワード線に書き込み電圧を印加し、センスラッチにラッチされたデータに応じてメモリセルの書込み動作を行い(S3)、書込み動作を行ったメモリセルに対して書き込みベリファイ動作を行い(S4)、書込み動作によって所要のしきい値電圧を得ることができるまでステップS3、S4の動作を繰り返す(S5)。書込み動作は「書込み3」まで行われたかが判定され(S6)、「書込み3」まで完了されていなければ、書込みベリファイ電圧が次のベリファイ電圧に設定されて(S7)、「書込み3」まで処理が終了されるまで上記ステップS1～S7が繰り返される。

【0082】読出し動作においては、まず、アクセス対象とされるメモリセルのワード線に読出し電圧Vr1を印加して「読出し1」の動作を行い(S11)、これによって読出された2値データが非選択メモリアレイに対応されるセンスラッチ、バッファ21又はDRAM34若しくはSRAM40に転送される(S12)。次に、そのワード線に読出し電圧Vr2を印加して「読出し2」の動作を行い(S13)、これによって読出された2値データが非選択メモリアレイに対応されるセンスラッチ、バッファ21又はDRAM34若しくはSRAM40に転送される(S14)。さらに、そのワード線に読出し電圧Vr3を印加して「読出し3」の動作を行い(S15)、これによって読出された2値データが非選択メモリアレイに対応されるセンスラッチ、バッファ21又はDRAM34若しくはSRAM40に転送される(S16)。このようにして「読出し1」～「読出し3」で得られた2値データは読出しデータ変換回路2又は中央演算処理機構27で2値データ列の上位ビットと下位ビットに変換され、それが交互に外部に出力される(S17)。

【0083】図34には、書込み動作時の書込みベリファイ電圧Vv1、Vv2、Vv3を切り換えるための回路構成例が示される。この回路は図1、図27乃至図29に示される電源切換え回路9に含まれる。図1、図27乃至図29に示されるベリファイ終了信号14は、センスラッチ回路4から出力される。即ち、書込みベリファイ動作における入出力線IOTからの信号がベリファイ終了信号14とされる。このベリファイ終了信号14は、「書込み1」～「書込み3」の夫々における書込みベリファイ動作において書き込み状態が所定の閾値電圧に到達したとき、換言すれば、「書込み1」～「書込み3」の個々の書込み動作が終了したとき、所定のタイミングで活性化される。前記ベリファイ終了信号14はシフトクロックとしてシフトレジスタ900に供給され、

「書込み1」～「書込み3」の各動作が終了する毎に、シフトレジスタ900の初段の記憶回路に保持されているキャリアが順次後段の記憶回路にシフトされる。スイッチSv1～Sv3は各記憶回路のラッチ信号によってスイッチ制御され、初期状態ではスイッチSv1がオン状態にされ、順次キャリアが伝達される順番に従ってオン状態にされるスイッチが変化されるようになっている。前記書込みベリファイ電圧Vv1～Vv3は電圧発生回路901～903で生成され、スイッチSv1～Sv3は電圧発生回路901～903で生成されるベリファイ電圧Vv1～Vv3を選択してワードドライバ7に与える。

【0084】このように、ベリファイ終了信号14がシフトレジスタ900に入力されて、ベリファイ電圧を切り換えるようになっており、「書込み1」における書込みベリファイ電圧Vv1をワード線に印加するため、スイッチSv1をオンせる。「書込み1」のベリファイ終了信号がシフトレジスタ900に入力されると、スイッチSv1はオフになり、スイッチSv2がオンして「書込み2」の書込みベリファイVv2がベリファイ電圧としてワード線に印加される。同様に「書込み2」のベリファイが終了すると、スイッチSv2がオフに、スイッチSv3がオンになり、Vv3がベリファイ電圧としてワード線に印加される。「書込み3」のベリファイ終了信号がシフトレジスタに入力されると、シフトレジスタはリセットされてスイッチSv3もオフになり、全書込み動作が終了する。

【0085】本発明は以上説明した様に、ベリファイ動作時に異なる3種類の電圧をワード線に印加して書込み動作を行い、メモリセルのしきい値電圧を制御し、これらの3回の書込み動作1回ごとに書込む4値(2ビット)の情報に対応した2値(1ビット)の書込みデータを非選択メモリアレイに接続するセンスラッチ回路やチップ内に設けられたバッファ又は、外部のDRAM、SRAMを用いて合成することにより、一つのメモリセルに4値(2ビット)の情報を書込むことができ、フラッシュメモリの記憶容量を2倍にすることができる。一方、この様に記憶された4値(2ビット)の情報を読み出して2値(1ビット)の情報にするには、読出し動作時に異なる3種類の電圧をワード線に印加して、これらの読出し動作ごとに読み出される2値(1ビット)の情報を非選択メモリアレイに接続するセンスラッチ回路やチップ内に設けられたバッファ又は、外部のDRAM、SRAMに一時的に記憶させて、3種類の2値(1ビット)の情報を合成して、メモリセルに記憶されていた4値(2ビット)の情報に対応させた2値(1ビット)の情報に変換することにより行われる。

【0086】以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれ限定されるものではなく、その要旨を逸脱しない範囲にお

いて種々変更可能であることは言うまでもない。例えば図1等にした上記フラッシュメモリは単体のメモリLSIであるがマイクロコンピュータなどの論理LSIのオンチップメモリとして構成することも可能である。また、図30、図31に示したマルチチップ構成のメモリについてもこれを単一チップで構成することができ、その場合に、図30、図31に示される回路構成を、マイクロコンピュータのようなデータ処理LSIの一つの機能と位置付けることができる。したがって、その場合に、中央演算処理機構27はその他のデータ処理に汎用的に利用される回路とみなすことができる。本発明は、不揮発性半導体記憶装置は1トランジスタ型のメモリセルを有するフラッシュメモリに限定されず、記憶トランジスタと共に選択トランジスタによってメモリセルが構成されるEEPROMにも適用することができる。

【0087】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0088】すなわち、ベリファイ動作時に異なる3種類の電圧をワード線に印加して順次3回の書き込み動作を行ってメモリセルのしきい値電圧を制御し、このとき、書き込み動作1回毎に、書き込む4値(2ビット)の情報に対応した2値(1ビット)の書き込みデータを例えば非選択アレイに接続するセンスラッチ回路やチップ内に設けられたバッファ又は、外部のDRAM、SRAMを用いて書き込みデータ変換回路で合成することにより、一つのメモリセルに4値(2ビット)の情報を書き込むことができる。これにより、フラッシュメモリの記憶容量を2倍にすることができる。

【0089】この様に記憶された4値(2ビット)の情報を読み出して2値(1ビット)の情報にするには、読出し動作時に異なる3種類の電圧を順次ワード線に印加し、これらの読出し動作毎に読み出される2値(1ビット)の情報を例えば非選択アレイに接続するセンスラッチ回路やチップ内に設けられたバッファ又は、外部のDRAM、SRAMに一時的に記憶させ、記憶された3種類の2値(1ビット)の情報を読出し変換回路で合成し、メモリセルに記憶されていた4値(2ビット)の情報に対応する2ビットの情報列に変換して出力することができる。

【0090】上記により、フラッシュメモリのような不揮発性半導体記憶装置の大容量化を図ることができると共に、大容量化に伴うチップ面積の増大を極力抑えることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るフラッシュメモリのブロック図である。

【図2】図1に示されるメモリセルアレイ及びセンスラッチの一部分を詳細に示した一例回路図である。

【図3】一つのメモリセルに対する4値書き込みにおける書き込みベリファイ電圧と閾値電圧との関係を示す説明図である。

【図4】書き込み時におけるワード線印加電圧の一例を示す説明図である。

【図5】4値データの書き込みの一例を説明するために4個のメモリセルと夫々に書き込まれる4値書き込みデータとの対応関係を示す説明図である。

10 【図6】図4の書き込み状態を得るための第1段階として4個のメモリセルを全て消去状態にしたときの当該4個のメモリセルの閾値電圧を示す説明図である。

【図7】図4の書き込み状態を得るための第2段階として4個のメモリセルを全て消去状態にした後の「書き込み1」によって得られるメモリセルの閾値電圧の変化を示す説明図である。

【図8】図4の書き込み状態を得るための第3段階として「書き込み2」によって得られるメモリセルの閾値電圧の変化を示す説明図である。

20 【図9】図4の書き込み状態を得るための第4段階として「書き込み3」によって得られるメモリセルの閾値電圧の変化を示す説明図である。

【図10】書き込み電圧の印加態様として書き込みパルス幅を漸増させる場合の電圧波形図の一例を示す説明図である。

【図11】書き込み電圧の印加態様として書き込みパルス電圧を漸増させる場合の電圧波形図の一例を示す説明図である。

【図12】書き込みデータを偶数及び奇数ビットに分離する回路の一例を示す論理回路図である。

30 【図13】図12に示される回路の一例動作タイミング図である。

【図14】図1のメモリセルアレイ、センスラッチ回路、書き込み変換回路及び読出し変換回路の接続態様の一例を示すブロック図である。

【図15】図12に示される回路で偶数及び奇数に分離されたデータから「書き込み1」～「書き込み3」のためのデータを生成する書き込みデータ合成回路の一例論理回路図である。

40 【図16】図15の書き込みデータ合成回路による合成結果の一例を「書き込み1」～「書き込み3」の夫々に対応して示す説明図である。

【図17】4値でデータが書き込まれたメモリセルに対する読出し時におけるワード線電位とメモリセルの閾値電圧との関係を示す説明図である。

【図18】読出しワード線へ印加する電圧の一例波形図である。

【図19】4値データの読出しの一例を説明するために4個のメモリセルと夫々に書き込まれた4値書き込みデータとの対応関係を示す説明図である。

50 【図20】図19に示されるメモリセルに対する「読出

31

し1」によって得られる2値データを示す説明図である。

【図21】図19に示されるメモリセルに対する「読出し2」によって得られる2値データを示す説明図である。

【図22】図19に示されるメモリセルに対する「読出し3」によって得られる2値データを示す説明図である。

【図23】読出しデータ合成回路の一例を示す論理回路図である。

【図24】読出しデータ合成回路の出力結果の一例を示す説明図である。

【図25】読出しデータ合成回路の出力に基づいて上位ビットと下位ビットを交互に出力する回路の一例回路図である。

【図26】図25に示される回路の一例動作タイミング図である。

【図27】書き込みデータ及び読出しデータを一時的に蓄えるバッファを備えた本発明の第2の実施の形態に係るフラッシュメモリのブロック図である。

【図28】CPU備えた本発明の第3の実施の形態に係るフラッシュメモリのブロック図である。

【図29】書き込みデータ及び読出しデータを一時的に蓄えるバッファとCPUを備えた本発明の第4の実施の形態に係るフラッシュメモリのブロック図である。

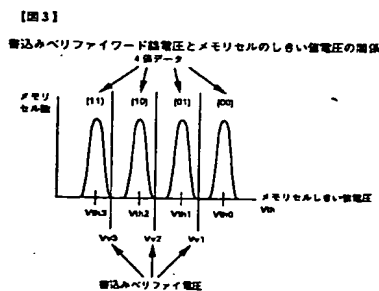
【図30】バッファとしてのDRAMとCPUをマルチチップで有する形式の本発明の第5の実施の形態に係るフラッシュメモリのブロック図である。

【図31】バッファとしてのSRAMとCPUをマルチチップで有する形式の本発明の第6の実施の形態に係るフラッシュメモリのブロック図である。

【図32】メモリセルに4値の情報を書き込む動作の一例フローチャートである。

【図33】4値の情報が書き込まれたメモリセルに対す

【図3】



32

る読出し動作の一例フローチャートである。

【図34】3種類のペリファイ電圧切換えのための構成例を示すブロック図である。

【図35】一つのメモリセルが2値の情報を記憶するフラッシュメモリの部分的な構成の一例を示す回路図である。

【図36】2値の情報が書き込まれたメモリセルのしきい値電圧分布の一例を示す説明図である。

【符号の説明】

10 1 書き込みデータ変換回路

2 読出しデータ変換回路

3 メモリセルアレイ

4 センスラッチ回路

9 電源切換え回路

12 制御回路

N1~N8, N1a~N8a, N9~N12 NMOS スイッチ

SL, SL1~SL4 センスラッチ

VWEL, VCC, PP, PN, VSA, VSS 電源

20 GND 接地電位

IOT, IOB, IO 入出力線

DDC, DDCA, SiD, SiDa, SiS, SiSa, RPC, RPCa, PC, PCa, TR, TRa, YG, SET, MWD1~MWD3 制御信号線

MC, MCa, MC1~MC4 メモリセル

WL, W ワード線

BL, Bla ビット線

Vth0, Vth1, Vth2, Vth3 メモリのしきい値電圧

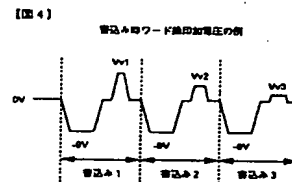
30 CLK1~CLK3 クロック信号

Vv1~Vv3 書き込みペリファイ時ワード線印加電圧

Vr1~Vr3 読出し時ワード線印加電圧

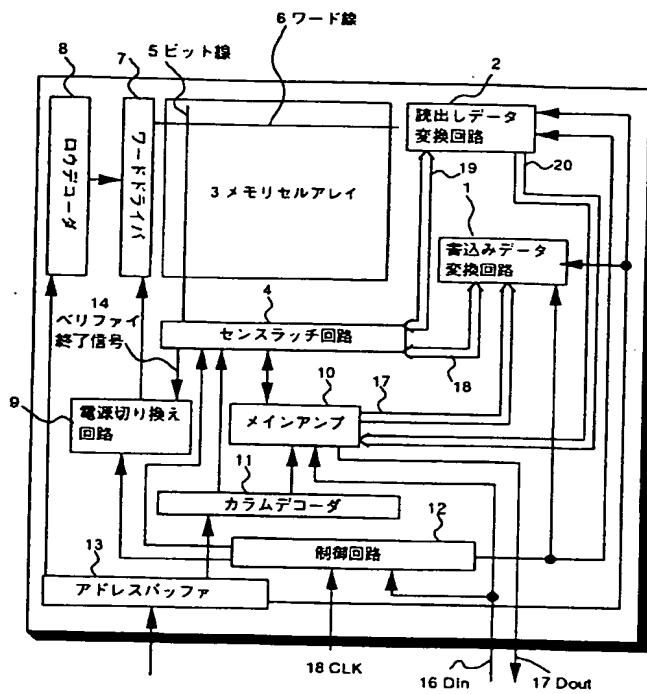
INV1, INV2 インバータ回路

【図4】



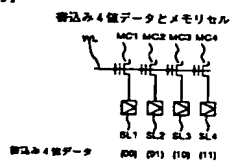
【図1】

【図1】 フラッシュメモリのブロック図



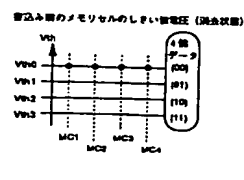
【図5】

【図5】



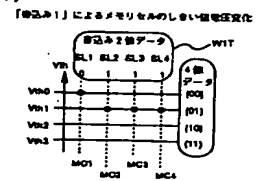
【図6】

【図6】



【図7】

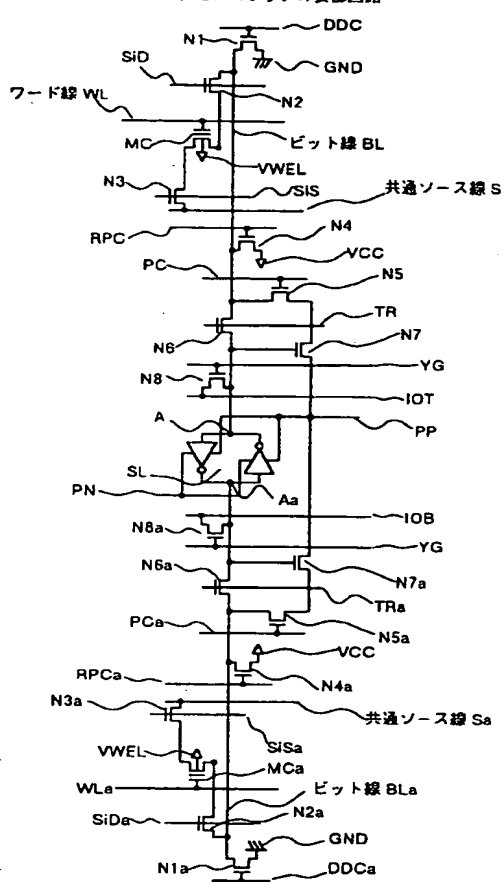
【図7】



【図2】

【図2】

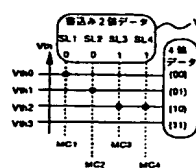
メモリアレー、センスラッチの要部回路



【図8】

【図8】

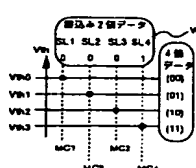
「読み込み2」によるメモリセルのしきい値電圧変化



【図9】

【図9】

「読み込み3」によるメモリセルのしきい値電圧変化



【図24】

【図24】

読み出しデータ合成回路の出力結果

IOT側の交換

「読み出し2」

「読み出し1」「読み出し3」

	R1T	R2T	R3T	XT	YT
SL1	1	1	1	0	0
SL2	0	1	1	0	1
SL3	0	0	1	1	0
SL4	0	0	0	1	1

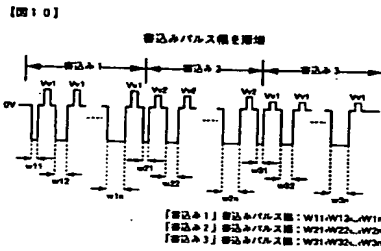
IOB側の交換

「読み出し2」

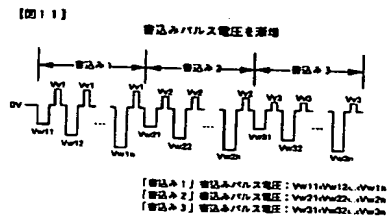
「読み出し1」「読み出し3」

	R1B	R2B	R3B	XB	YB
SL1	0	0	0	1	1
SL2	1	0	0	1	0
SL3	1	1	0	0	1
SL4	1	1	1	0	0

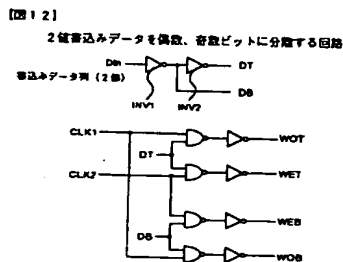
【図10】



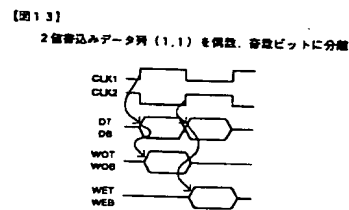
【図11】



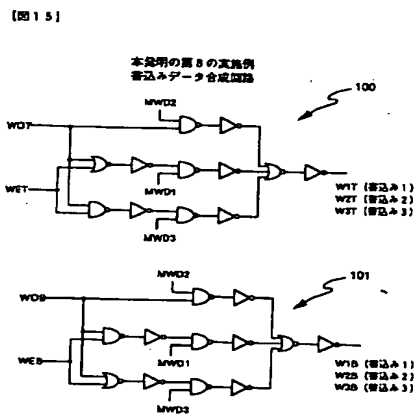
【図12】



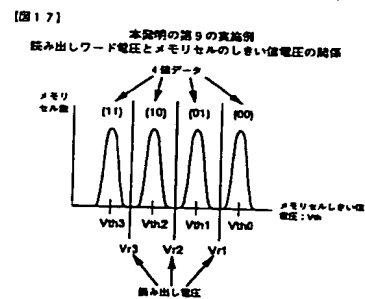
【図13】



【図15】

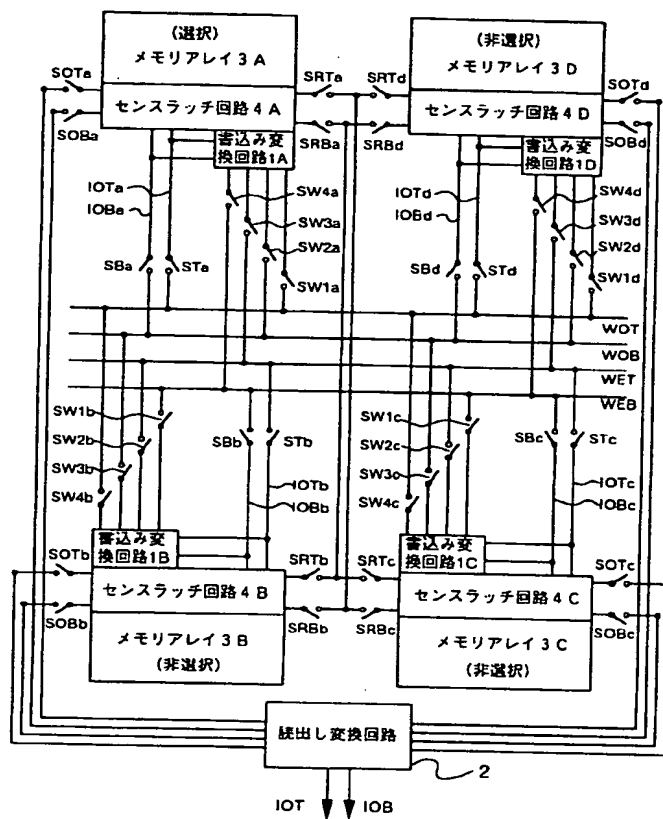


【図17】



【図14】

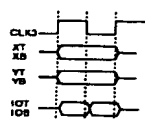
【図14】



【図26】

【図26】

図12の実施例の動作例



【図 18】

(1 8)

読み出し時ワード線印加電圧

WOB	WEB	W1B
1	1	1
1	0	0
0	1	0
0	0	0

JOB

「書込み2」の書込みデータ合成結果 (MWD2が“1”)

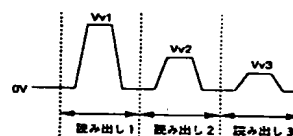
WOB	WEB	W2B
1	1	1
1	0	1
0	1	0
0	0	0

↓
IQB

「書き込み3」の書き込みデータ合成結果 (MWD3が"1")

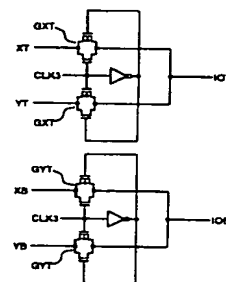
WOB	WEB	W3B
1	1	1
1	0	1
0	1	1
0	0	0

IOB



【圖 25】

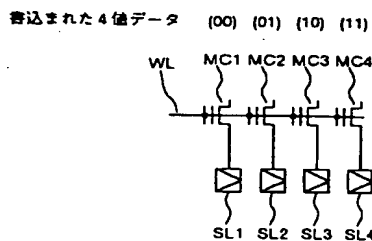
本発明の第 12 の実施例
上位ビット、下位ビットを交互に出力する回路の実施例



【図19】

【図19】

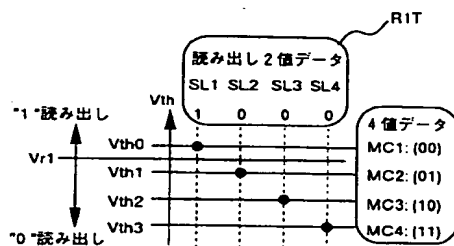
書き込まれた4値データとメモリセル



【図20】

【図20】

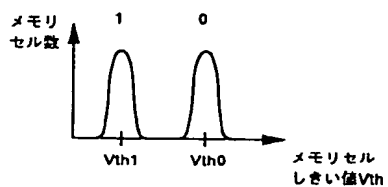
メモリセルのしきい値電圧と「読み出し1」による読み出し2値データ



【図36】

【図36】

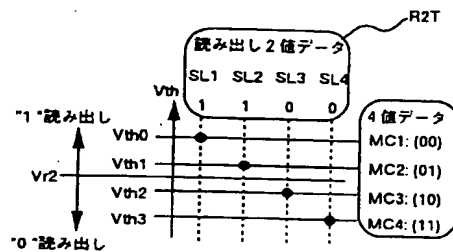
2値書き込み時のメモリセルのしきい値分布



【図21】

【図21】

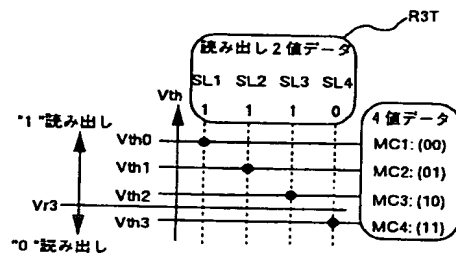
メモリセルのしきい値電圧と「読み出し2」による読み出し2値データ



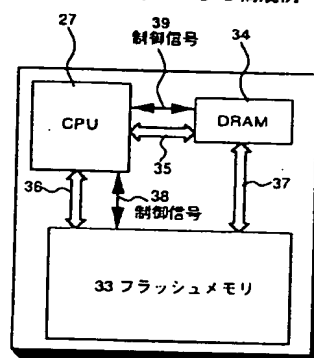
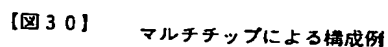
【図22】

【図22】

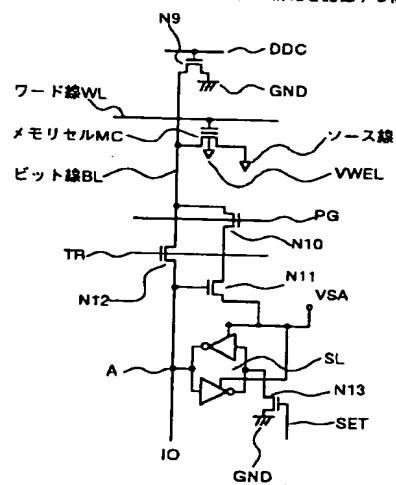
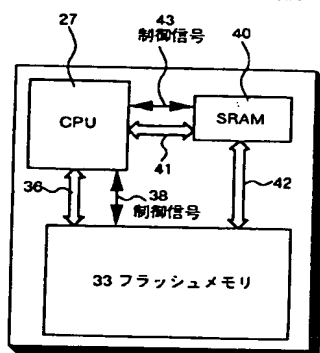
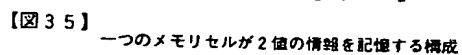
メモリセルのしきい値電圧と「読み出し3」による読み出し2値データ



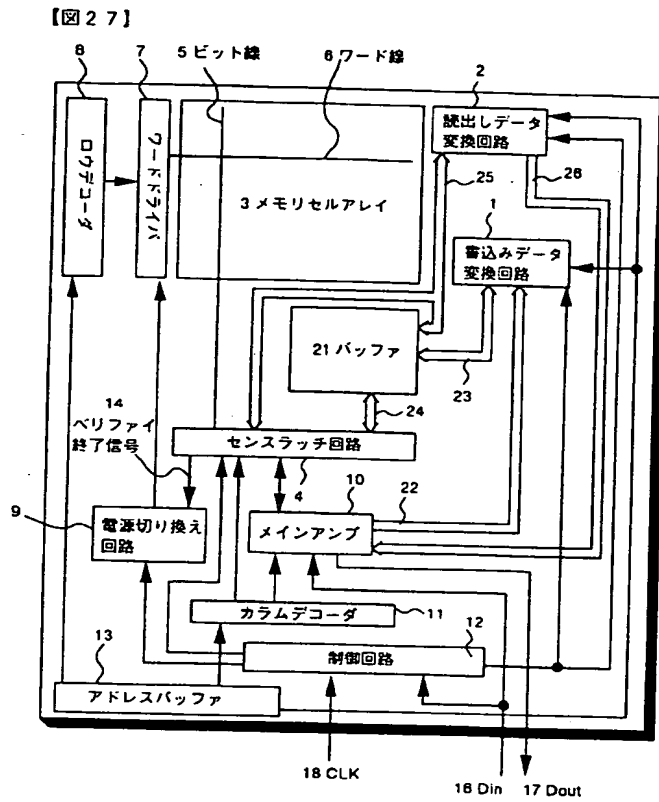
【图 30】



【图 3 5】



【図27】

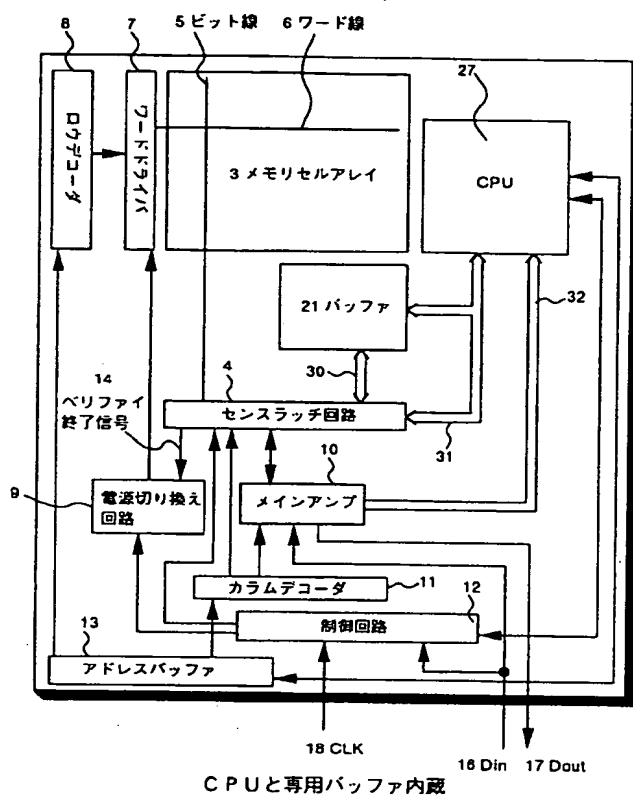


専用バッファ内蔵

【例 28】



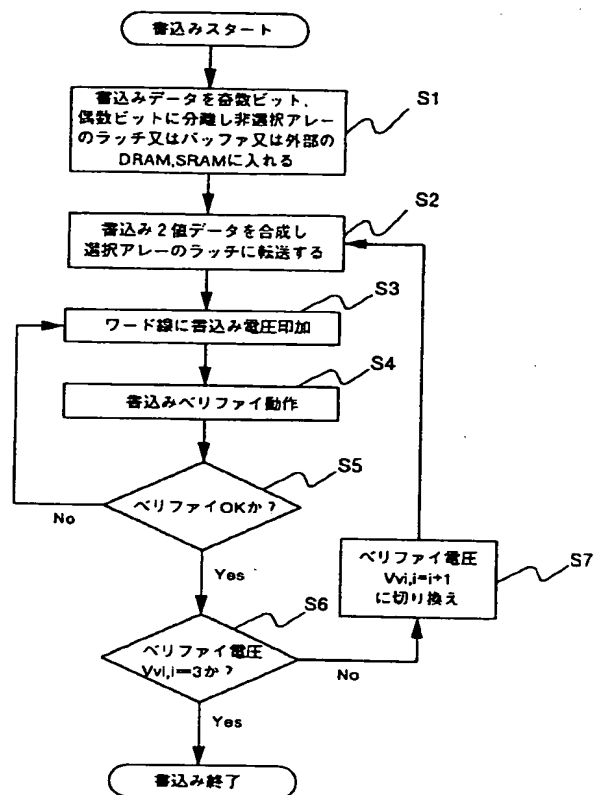
【例 29】



【図32】

【図32】

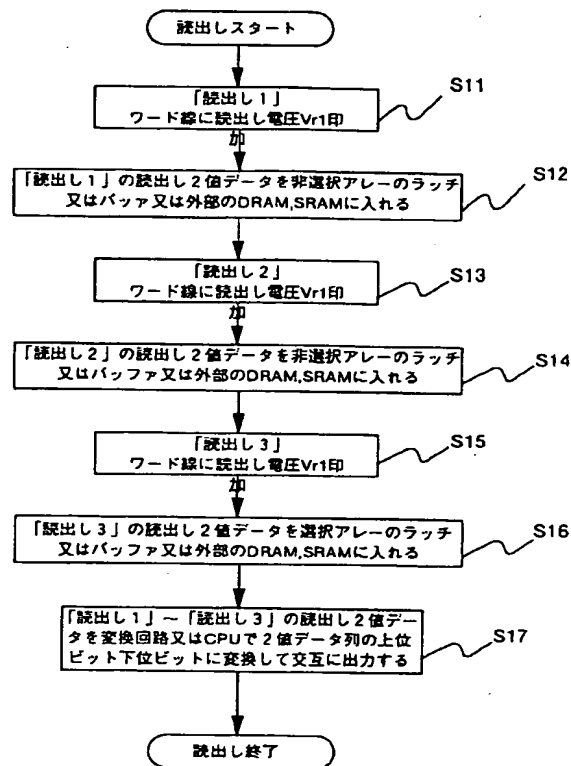
書き込み動作のフローチャート



【図33】

【図33】

読出し動作のフローチャート



【図34】

【図34】

